



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 1 日
Date of Application:

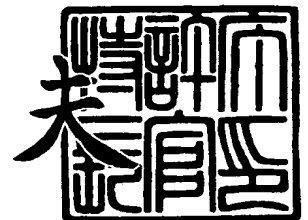
出 願 番 号 特 願 2 0 0 3 - 0 4 4 2 8 9
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 4 2 8 9]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 1 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0414701

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 金井 正博

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、

前記メモリセルアレイは、複数の素子分離領域を有し、

前記複数のメモリセルの各々は、第 1 の不純物層と、第 2 の不純物層と、前記第 1 の不純物層及び前記第 2 の不純物層間のチャンネル領域と、前記チャンネル領域と対向して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャンネル領域との間に形成された不揮発性メモリ素子とを有し、

複数のワードゲート用配線の少なくとも一つと前記複数のワードゲートの少なくとも一つとを接続するワード線接続部が、前記複数の素子分離領域の少なくとも一つの前記素子分離領域上に配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 請求項 1 において、

前記メモリセルアレイは、複数のメモリブロックを有し、

前記複数のメモリブロックの各々は、複数のメモリセルで構成され、

前記複数のメモリセルの各々に保持されている情報を消去する動作は、前記複数のメモリブロックの各々を一つの単位として、前記メモリブロック毎に一括して行われることを特徴とする不揮発性記憶装置。

【請求項 3】 請求項 1 または 2 において、

前記列方向で隣り合う各 2 本の前記ワードゲートを、前記ワード線接続部が配置されている前記素子分離領域上で接続する複数の共通接続部をさらに有することを特徴とする不揮発性記憶装置。

【請求項 4】 請求項 3 において、

前記ワード線接続部は、前記複数のワードゲート用配線の少なくとも一つと、

前記複数の共通接続部一つと、

を接続することを特徴とする不揮発性記憶装置。

【請求項 5】 請求項 3 において、

前記メモリブロック内のすべての前記ワードゲート及び前記メモリブロック内のすべての前記ワードゲート用配線が共通接続されていることを特徴とする不揮発性記憶装置。

【請求項 6】 請求項 4 または 5 において、

前記複数のワードゲート用配線は、前記行方向に沿って延びる第 1 の配線と、前記列方向に沿って延びる第 2 の配線とを、有し、

前記ワード線接続部は、前記複数の共通接続部一つと前記第 2 の配線とを接続する第 2 ワード線接続部を含むことを特徴とする不揮発性記憶装置。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

前記メモリセルアレイは、少なくとも 1 つのソース用配線と、複数のソース線接続部と、を有し、

前記複数のソース線接続部の各々は、前記少なくとも一つのソース用配線と、前記第 1 の不純物層とを接続することを特徴とする不揮発性記憶装置。

【請求項 8】 請求項 1 乃至 6 のいずれかにおいて、

前記メモリセルアレイは、少なくとも 1 つのソース用配線と、複数のソース線接続部と、を有し、

前記複数のソース線接続部の各々は、前記少なくとも一つのソース用配線と、前記第 2 の不純物層とを接続することを特徴とする不揮発性記憶装置。

【請求項 9】 請求項 7 または 8 において、

前記複数のソース用配線は、前記行方向に沿って延びる第 3 の配線と、

前記列方向に沿って延びる第 4 の配線とを、含み、

前記複数のソース線接続部の少なくとも一つは、前記第 3 の配線と、前記第 4 の配線とを接続する第 2 ソース線接続部を含むことを特徴とする不揮発性記憶装置。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、ワードゲート及びセレクトゲートにより制御される不揮発性メモリ

素子を備えた不揮発性半導体記憶装置に関する。

【0002】

【背景技術】

不揮発性半導体記憶装置の一例として、チャネルとゲートとの間のゲート絶縁膜が、酸化シリコン膜、窒化シリコン膜及び酸化シリコン膜の積層体からなり、窒化シリコン膜に電荷がトラップされるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductorまたは-substrate) 型が知られている。

【0003】

MONOS型不揮発性半導体記憶装置として、1つの選択ゲートと、1つの制御ゲートにより制御される不揮発性メモリ素子 (MONOSメモリ素子) を備えたMONOSフラッシュメモリセルが開示されている。(例えば、特許文献1、特許文献2、特許文献3及び特許文献4参照)

【0004】

【特許文献1】

特開平6-181319号公報

【特許文献2】

特開平11-74389号公報

【特許文献3】

米国特許5408115号明細書

【特許文献4】

米国特許5969383号明細書

【0005】

【発明が解決しようとする課題】

本発明は、レイアウト面積の小さい不揮発性半導体記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明の不揮発性半導体記憶装置は、行方向及び列方向に複数のメモリセルが配設されて構成されたメモリセルアレイを有し、前記メモリセルアレイは、複数

の素子分離領域を有し、前記複数のメモリセルの各々は、第1の不純物層と、第2の不純物層と、前記第1の不純物層及び前記第2の不純物層間のチャネル領域と、前記チャネル領域と対向して配置されたワードゲート及びセレクトゲートと、前記ワードゲートと前記チャネル領域との間に形成された不揮発性メモリ素子とを有し、複数のワードゲート用配線の少なくとも一つと前記複数のワードゲートの少なくとも一つとを接続するワード線接続部が、前記複数の素子分離領域の少なくとも一つの前記素子分離領域上に配置されている。

【0007】

前記メモリセルアレイは、複数のメモリブロックを有することができる。前記複数のメモリブロックの各々は、複数のメモリセルで構成されることができる。前記複数のメモリセルの各々に保持されている情報を消去する動作は、前記複数のメモリブロックの各々を一つの単位として、前記メモリブロック毎に一括して行われることができる。

【0008】

前記列方向で隣り合う各2本の前記ワードゲートを、前記ワード線接続部が配置されている前記素子分離領域上で接続する複数の共通接続部をさらに有することができる。

【0009】

前記ワード線接続部は、前記複数のワードゲート用配線の少なくとも一つと、前記複数の共通接続部一つと、を接続することができる。

【0010】

あるいは、前記メモリブロック内のすべての前記ワードゲート及び前記メモリブロック内のすべての前記ワードゲート用配線が共通接続されることができる。

【0011】

前記複数のワードゲート用配線は、前記行方向に沿って延びる第1の配線と、前記列方向に沿って延びる第2の配線とを、有することができる。前記ワード線接続部は、前記複数の共通接続部一つと前記第2の配線とを接続する第2ワード線接続部を含むことができる。

【0012】

前記メモリセルアレイは、少なくとも 1 つのソース用配線と、複数のソース線接続部と、を有することができる。前記複数のソース線接続部の各々は、前記少なくとも一つのソース用配線と、前記第 1 の不純物層とを接続することができる。

【0013】

あるいは、前記複数のソース線接続部の各々は、前記少なくとも一つのソース用配線と、前記第 2 の不純物層とを接続することができる。

【0014】

前記複数のソース用配線は、前記行方向に沿って延びる第 3 の配線と、前記列方向に沿って延びる第 4 の配線とを、有することができる。前記複数のソース線接続部の少なくとも一つは、前記第 3 の配線と、前記第 4 の配線とを接続する第 2 ソース線接続部を含むことができる。

【0015】

【発明の実施の形態】

(第 1 実施形態)

以下、本発明の第 1 実施形態について、図面を参照して説明する。

【0016】

(全体構成とメモリブロック)

図 1 は、本実施形態の全体構成を表すブロック図である。メモリセルアレイ 4000 は、行方向 X 及び列方向 Y に沿って配列された複数のメモリセル 410 (後に図示する) を備える。また、メモリセルアレイ 4000 は、複数のメモリブロック 400 を備える。各メモリブロック 400 は複数のメモリセル 410 (後に図示する) で構成される。電源回路 100 からは複数種の電圧が発生される。発生された複数種の電圧は、複数の電圧供給線により各メモリブロック 400 へ供給される。また、メモリセルアレイ 4000 は、メモリセルアレイ 4000 中のビット線 60 (後に図示する) を駆動するビット線駆動部 (図示せず) を備える。

【0017】

図 2 は、メモリブロック 400 の一部を示した回路図である。メモリブロック

400は、複数のワード線50、複数のビット線60、複数のセレクト線70、複数のソース線80及び複数のメモリセル410を備える。また、メモリブロック400は、ワード線駆動部300、セレクト線駆動部（図示せず）及びソース線駆動部800を備える。図2中で点線で丸く囲まれた部分は、メモリセル410の一つを示す。

【0018】

メモリセル410は、セレクトゲート411、ワードゲート412及びONO膜413を有する。メモリセル410の構造については、後に詳細を述べる。

【0019】

ワード線駆動部300は、複数の単位ワード線駆動部310から構成されている。複数のワード線50の各々は、メモリブロック400内の行方向Xに沿って配置された複数のメモリセル410のワードゲート412を共通接続する。

【0020】

セレクト線駆動部（図示せず）は、メモリブロック400内のすべてのセレクト線70を駆動する。複数のセレクト線70の各々は、メモリブロック400内の行方向Xに沿って配置された複数のメモリセル410のそれぞれのセレクトゲート411を共通接続する。

【0021】

ソース線駆動部800は、複数の単位ソース線駆動部810から構成されている。複数のソース線80の各々は、メモリブロック400内の行方向Xに沿って配置された複数のメモリセル410のそれぞれの第1の不純物層（以下、ワードライン側不純物層WLDという）を共通接続する。複数のビット線60の各々は列方向Yに、複数のメモリセル410のそれぞれの第2の不純物層（以下、セレクトゲート側不純物層SGDという）を共通接続する。

【0022】

図3は、メモリブロック400の一部について、各層の接続関係、位置関係が模式的に表された平面図である。符号900は素子分離領域（例えばSTI（Shallow-Trench-Isolation））を表し、符号CONTはコンタクトを表す。コンタクトCONTのうち、符号951は第1ワード線接続部を示し、符号980は第

1 ソース線接続部を示し、符号 981 は第 2 ソース線接続部を示す。また、符号 ALA は第 1 配線層を表し、符号 ALB は第 2 配線層を表し、符号 ALC は第 3 配線層を表す。なお、各配線層 ALA ~ ALC のうち、第 1 配線層が基板に一番近い最下層の配線層である。

【0023】

列方向 Y に沿って複数のビット線 60 が第 2 配線層 ALB に配置されている。また、行方向 X に沿って複数のソース用配線（ソース線 80）及び複数のセレクト線 70 が配置されている。各ソース線 80 は、第 3 配線層 ALC に配置されている。各セレクト線 70 は、行方向 X で各セレクトゲート 411 を共通接続するように第 1 配線層 ALA に配置されている。さらに列方向 Y に沿って、複数の第 4 の配線（ソース用配線 81）が素子分離領域 900 上の第 2 配線層 ALB に配置されている。各ソース用配線 81 は各ソース線 80 と各ワードライン側不純物層 WLD（後に図示する）をそれぞれ接続する。また、行方向 X に沿って複数配置されたワードゲート 412 の上層の第 3 配線層 ALC に複数のワード用配線である第 1 の配線（以下ワード線 50 と言う）が配置されている。点線で丸く囲まれた部分は、隣り合う 2 つのワードゲート 412 を接続する共通接続部 950 を表す。

【0024】

図 3 によると、素子分離領域 900 上の共通接続部 950 にワードゲート 412 用のコンタクト CONT（第 1 ワード線接続部 951）が配置されている。つまり、ワードゲート 412 用のコンタクト CONT は、素子分離領域 900 上に配置され、ワード用配線 50 とワードゲート 412 を接続している。符号 A-A、符号 B-B 及び符号 C-C はそれぞれ、以下に図示する断面図の切り口位置を示す。以下の図においても、同符号のものは、同様の意味を表す。

【0025】

図 4 ~ 6 は、A-A 断面、B-B 断面、C-C 断面のそれぞれについて示された図である。

【0026】

図 4 を参照して A-A 断面を説明する。図 4 の横方向は、列方向 Y と同方向を

表す。符号 414 は基板を表す。また、符号 I1 は第 1 絶縁層を表し、符号 I2 は第 2 絶縁層を表し、符号 I3 は第 3 絶縁層を表す。素子分離領域 900 上にセレクトゲート 411 及びワードゲート 412 が配置されている。セレクトゲート 411 と素子分離領域 900 との間には、絶縁体膜（例えば SiO_2 ）が配置されている。また、ワードゲート 412 と素子分離領域 900 との間に窒化膜 417（例えば SiN ）が形成されている。セレクトゲート 411 は導電体（例えばポリシリコン）で形成されている。

【0027】

第 1 配線層 ALA には、複数のセレクト線 70 が形成されている。各セレクト線 70 は、それぞれのすぐ下層にて第 1 絶縁層 I1 により覆われているセレクトゲート 411 へ、コンタクト CONT（第 1 配線層 ALA からセレクトゲート 411 へ接続する接続部）により接続されている。第 3 配線層 ALC には、複数のワード線 50 及び複数のソース線 80 が形成されている。各ワード線 50 は、それぞれの下方にて第 1 絶縁層 I1 により覆われている共通接続部 950（ワードゲート 412）へワード線接続部（第 1 ワード線接続部 951）により接続されている。また、基板 414 内には、素子分離領域 900 が形成されているので、チャンネル領域が形成されない。なお、以下の図において、同符号のものは、同様の意味を表す。

【0028】

次に図 5 を参照して B-B 断面を説明する。基板 414 内には、複数のセレクトゲート側不純物層 SGD 及び複数のワードライン側不純物層 WLD が形成されている。基板 414 内の各セレクトゲート側不純物層 SGD 及び各ワードライン側不純物層 WLD の間には、チャンネル領域が形成される。各セレクトゲート側不純物層 SGD は、各セレクトゲート側不純物層 SGD の列方向 Y での両端側に配置されている 2 つのメモリセル 410 に共用される。また、各ワードライン側不純物層 WLD は、各ワードライン側不純物層 WLD の列方向 Y での両端側に配置されている 2 つのメモリセル 410 に共用される。複数のセレクトゲート 411 及び複数のワードゲート 412 は、第 1 絶縁層 I1 により覆われている。また、ワードゲート 412 とチャンネル領域との間に L 字状（または逆 L 字状）に窒化膜

417 (例えばSiN) が形成されている。この窒化膜417と、その表裏側の絶縁体膜 (例えばSiO₂) とで、トラップ層としてのONO膜413を形成している。第1配線層ALAには、複数のセレクト線70が形成されている。第2配線層ALBには、一本のビット線60が形成されている。ビット線60は、導電体 (例えばメタル) で形成することができる。このビット線60は、複数のコンタクトCONT (第2配線層ALBから基板414へ接続する接続部) により、基板414内の複数のセレクトゲート側不純物層SGDに接続されている。第3配線層ALCには、複数のワード線50及び複数のソース線80が形成されている。

【0029】

次に図6を参照してC-C断面を説明する。基板414内には、複数の素子分領域900及び複数のワードライン側不純物層WLDが形成されている。複数のセレクトゲート411及び複数のワードゲート412は、第1絶縁層I1により覆われている。また、ワードゲート412と素子分領域900との間にL字状 (または逆L字状) に窒化膜417 (例えばSiN) が形成されている。第1配線層ALAには、複数のセレクト線70が形成されている。各セレクト線70は、それぞれのすぐ下層にて第1絶縁層I1により覆われているセレクトゲート411へ、コンタクト (第1配線層ALAからセレクトゲート411へ接続する接続部) により接続されている。第2配線層ALBには、各ソース線80をそれぞれ各ワードライン側不純物層WLDへ接続するための橋渡しをする第4の配線 (ソース用配線81) が複数形成されている。ソース用配線81は例えば、金属で形成できる。第3配線層ALCには、複数のワード線50及び複数のソース線80が形成されている。各ソース線80はソース線接続部 (第2ソース線接続部981) により第2配線層ALBに形成された各ソース用配線81に一旦接続される。さらに各ソース用配線81は、ソース線接続部 (第1ソース線接続部980) により、各ワードライン側不純物層WLDへ接続される。なお、基板414内には、複数の素子分領域900が形成されているため、チャンネル領域は形成されない。

【0030】

上述されたメモリセル410の構成は一例であり、例えば、メモリセル410

の窒化膜 417 は、セレクトゲート 411 及びワードゲート 412 の間に延在形成させなくてもよい。また、ワードゲート 412 の表面には、シリサイド（図示せず）を形成することができる。シリサイド（図示せず）として、例えば Co シリサイドまたは Ti シリサイドを使用することができる。これによりワードゲート 412 の負荷抵抗値を下げることができる。

【0031】

上記の構造とは別に、セレクトゲート側不純物層 SGD とワードライン側不純物層 WLD とは互いに入れ替えて構成することもできる。その場合の構成については、後に記載する。

【0032】

（動作説明）

本実施形態では、各メモリセル 410 へのアクセスは、メモリブロック 400 単位で行われる。つまり、メモリセル 410 を選択するためには、まず、メモリブロック 400 を選択し、その後メモリセル 410 を選択する。選択されたメモリセル 410 を選択メモリセルと呼ぶ。選択メモリセルを有するメモリブロック 400 を選択メモリブロック、それ以外のメモリブロック 400 を非選択メモリブロックと呼ぶ。

【0033】

複数のワード線 50 のうち、選択されたワード線 50 を選択ワード線、それ以外のワード線 50 を非選択ワード線と呼ぶ。複数のビット線 60 のうち、選択されたビット線 60 を選択ビット線、それ以外のビット線 60 を非選択ビット線と呼ぶ。複数のセレクト線 70 のうち、選択されたセレクト線 70 を選択セレクト線、それ以外のセレクト線 70 を非選択セレクト線と呼ぶ。複数のソース線 80 のうち、選択されたソース線 80 を選択ソース線、それ以外のソース線 80 を非選択ソース線と呼ぶ。

【0034】

また、非選択メモリブロック中のワード線 50、ビット線 60、セレクト線 70 及びソース線 80 は、すべての動作において、すべて非選択メモリブロック電圧（0 V）に設定されている。以下に、図 7 を参照しながら、各動作（スタンバ

イ、リード、プログラム、イレース)を説明する。図7の点線で丸く囲まれた符号SMは、選択メモリセルを表す。また、符号USM及び符号A～Dは非選択メモリセルを表す。

【0035】

(スタンバイ)

各ワード線50はすべてスタンバイ用ワード電圧(0V)に設定される。各ビット線60はすべてスタンバイ用ビット電圧(0V)に設定される。各セレクト線70はすべてスタンバイ用セレクト電圧(0V)に設定される。また、各ソース線80はすべてスタンバイ用ソース電圧(0V)に設定される。

【0036】

スタンバイ時は、メモリセルアレイ4000内(選択メモリブロック内及び非選択メモリブロック内)のすべてのメモリセル410は、上述のような電圧印加状態にある。

【0037】

(リード)

図7の選択メモリセルSMに接続されたワード線50(選択ワード線)はリード用選択ワード電圧(電源電圧Vcc)にチャージアップされる。選択メモリブロック内の非選択ワード線はすべてリード用非選択ワード電圧(0V)に設定される。選択メモリセルSMに接続されたセレクト線70(選択セレクト線)はリード用選択セレクト電圧(電源電圧Vcc)にチャージアップされる。選択メモリブロック内の非選択セレクト線はすべてリード用非選択セレクト電圧(0V)に設定される。選択メモリセルSMに接続されたソース線80(選択ソース線)はリード用選択ソース電圧(電源電圧Vcc)にチャージアップされる。選択メモリブロック内の非選択ソース線はすべてリード用非選択ソース電圧(0V)に設定される。また、選択メモリセルに接続されているビット線50(選択ビット線(選択メモリセルSMに接続されているビット線50を含む))はすべてリード用選択ビット電圧($V_{cc} - V_{th}$)に設定される。その他のビット線60つまり選択メモリブロック中の非選択ビット線はすべてリード用非選択ビット電圧(0V)に設定される。

【0038】

前述のような電圧印加状態になると、選択メモリセルのワードライン側不純物層WLDとセレクトゲート側不純物層SGDの間のチャネル領域にチャネルが形成される。そして、選択メモリセルSMのワードゲート412はリード用選択ワード電圧(V_{cc})にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらに、選択メモリセルSMのセレクトゲート411はリード用選択セレクト電圧(V_{cc})にチャージアップされているので、ホットエレクトロンはセレクトゲート411側に引き寄せられる。このようにして、選択メモリセルSMの両側にあるワードライン側不純物層WLDとセレクトゲート側不純物層SGDの間のチャネル領域に電流(I_{DS})が流れる。

【0039】

メモリセル410のワードゲート412、ONO膜413、チャネル領域の3つの領域構造を、MOSトランジスタとみなすことができる。このとき、ONO膜413に電荷がトラップされている状態では、電荷がトラップされていない状態より閾値が高くなる。図8が前述の電荷の有無と、ワードライン側不純物層WLDとセレクトゲート側不純物層SGDとの間に流れる電流についての相関関係を表した図である。

【0040】

図8によると、ワードゲート412に電圧 V_{read} を印加した時において、ONO膜に電荷がトラップされていない場合では電流 I_{DS} は約 $20\mu A$ 流れるが、電荷がトラップされている場合では電流 I_{DS} はあまり流れない。つまり、ONO膜に電荷がトラップされていると、トランジスタの閾値が高くなるので、ワードゲート412への印加電圧が、電圧 V_{read} では、電流 I_{DS} があまり流れないのである。

【0041】

この電流の大小を各ビット線60に配置されているセンスアンプ(図示せず)で読みとることで、選択メモリセルに保持されているデータを読みとることができる。

【0042】

以上が選択メモリセルに対してのデータ読み込み（リード）の原理である。なお、上述のリード動作は、フォワードリードである。つまり、ワードライン側不純物層WLDとセレクトゲート側不純物層SGDとにおいて、プログラム時と同様にワードライン側不純物層WLDに高電圧を印加している。読み出し方法としてリバースリードを用いることも可能である。

【0043】

以下の表1に、リード時の電圧印加状態（フォワードリード及びリバースリードについて）を示した。表1の非選択メモリセルは図7の非選択メモリセルUSMを示し、表1の選択メモリセルは図7の選択メモリセルSMを示す。表1のセル内の数値または、Vccは電圧値を表している。符号WLはワード線50を示し、符号SGはセレクト線70を示す。また、符号SLはソース線80を示し、符号BLはビット線60を示す。なお、以下において、表1の符号と同符号のものは、表1の同符号のものと同一ものを示す。

【0044】

【表1】

		選択メモリブロック		非選択メモリブロック
		非選択メモリセル	選択メモリセル	
フォワードリード	WL	0 V	Vcc	0 V
	SG	0 V	Vcc	0 V
	SL	Vcc		0 V
	BL	0 V	Vcc - Vth	0 V
リバースリード	WL	0 V	Vcc	0 V
	SG	0 V	Vcc	0 V
	SL	0 V		0 V
	BL	0 V	Vsa	0 V

表1の非選択ブロックは、スタンバイ時の状態と全く同じである。プログラム時と、イレース時も同様に、非選択ブロックは、スタンバイ時の状態と同じ状態である。

【0045】

なお、非選択メモリセルは、非選択メモリセルUSMを含めて、電圧印加状態に応じて5種類に分類できる。残りの4種類が、非選択メモリセルA～Dである。図7の非選択メモリセルAには、選択ワード線、選択ビット線、非選択セレクト線及び選択ソース線が接続されている。図7の非選択メモリセルBには、非選

択ワード線、選択ビット線、非選択セレクト線及び選択ソース線が接続されている。図7の非選択メモリセルCには、選択ワード線、非選択ビット線、選択セレクト線及び選択ソース線が接続されている。図7の非選択メモリセルDには、選択ワード線、非選択ビット線、非選択セレクト線及び選択ソース線が接続されている。表2に非選択メモリセルA～Dについての電圧印加状態を示した。

【0046】

【表2】

		非選択メモリセルA	非選択メモリセルB	非選択メモリセルC	非選択メモリセルD
フォワードリード	WL	Vcc	0V	Vcc	Vcc
	SG	0V	0V	Vcc	0V
	SL	Vcc	Vcc	Vcc	Vcc
	BL	Vcc - Vth	Vcc - Vth	Vcc	Vcc
リバースリード	WL	Vcc	0V	Vcc	Vcc
	SG	0V	0V	Vcc	0V
	SL	0V	0V	0V	0V
	BL	Vsa	Vsa	0V	0V

上述の原理から、選択メモリセルには、選択ワード線、選択ビット線、選択セレクト線及び選択ソース線が接続される必要がある。メモリセル410に一つでも非選択系の線（非選択ワード線、非選択ビット線、非選択セレクト線、非選択ソース線）が接続されている場合は、そのメモリセル410は非選択メモリセルである。

【0047】

（プログラム）

選択メモリセルSMに接続されているワード線50（選択ワード線）はプログラム用選択ワード電圧（5.5V）にチャージアップされる。選択メモリブロック内の非選択ワード線はすべてプログラム用非選択ワード電圧（0V）に設定されている。選択メモリセルSMに接続されたセレクト線70（選択セレクト線）はプログラム用選択セレクト電圧（1V）にチャージアップされ、非選択セレクト

ト線はすべてプログラム用非選択セレクト電圧（0 V）に設定される。選択メモリセル SM に接続されたソース線 80（選択ソース線）はプログラム用選択ソース電圧（5 V）にチャージアップされ、非選択ソース線はすべてプログラム用非選択ソース電圧（0 V）に設定されている。また、選択メモリセル SM に接続されたビット線 60（選択ビット線）はすべてプログラム用選択ビット電圧（0 V）に設定され、選択メモリブロック中の非選択ビット線はすべてプログラム用非選択ビット電圧（Vcc）に設定される。

【0048】

上述のような電圧印加状態になると、選択メモリセルのワードライン側不純物層 WLD とセレクトゲート側不純物層 SGD の間のチャネル領域にチャネルが形成される。そして、選択メモリセル SM のセレクトゲート 411 はプログラム用選択セレクト電圧（1 V）にチャージアップされているので、チャネル領域に飛び出した電子はホットエレクトロンとなる。さらに選択メモリセルのワードゲート 412 はプログラム用選択ワード電圧（5.5 V）にチャージアップされているので、ホットエレクトロンはワードゲート 412 側に引き寄せられる。このとき、引き寄せられたホットエレクトロンは、ONO 膜 413 によりトラップされる。なお、前述のような電圧印加状態は、選択メモリセル SM に“0”データを書き込む場合の状態である。選択メモリセル SM に“1”データを書き込む場合は、選択ビット線に“1”プログラム用選択ビット電圧（Vcc）を印加する。以上が選択メモリセルに対してのデータ書き込み（プログラム）の原理である。

【0049】

表 3 にプログラム時の電圧印加状態を示した。

【0050】

【表 3】

	選択メモリブロック			非選択メモリブロック
		非選択メモリセル	選択メモリセル	
プログラム	WL	0 V	5.5 V	0 V
	SG	0 V	1 V	0 V
	SL	0 V	5 V	0 V
	BL	Vcc	0 V (“0”書き込み時) Vcc (“1”書き込み時)	0 V

表3の非選択メモリセルは、図7の非選択メモリセルUSMを示す。また、表3の選択メモリセルは、図7の選択メモリセルSMを示す。

【0051】

リード動作と同様に、プログラム時にも非選択メモリセルには、5種類の電圧印加状態（非選択メモリセルUSM及び非選択メモリセルA～D）がある（図7参照）。この5つのうち、非選択メモリセルA～Dの電圧印加状態について表4に示した。

【0052】

【表4】

		非選択メモリセルA	非選択メモリセルB	非選択メモリセルC	非選択メモリセルD
プログラム	WL	5.5V	0V	5.5V	5.5V
	SG	0V	0V	1V	0V
	SL	5V	0V	5V	5V
	BL	0V（“0”書き込み時） Vcc（“1”書き込み時）	0V	Vcc	Vcc

（イレーズ）

イレーズは、選択メモリブロック内すべてのメモリセル410に対して行われる。つまり、選択メモリブロック内のすべてのメモリセル410が選択メモリセルとなる。選択メモリブロック内のすべてのワード線50は消去用ワード（-3V）にチャージアップされている。選択メモリブロック内のすべてのセレクト線70は消去用セレクト電圧（0V）に設定されている。また、選択メモリブロック内のすべてのソース線80は消去用ソース電圧（5V）にチャージアップされている。さらに、選択メモリブロック内のすべてのビット線60は消去用ビット電圧（0V）に設定される。また、選択メモリブロックの基板414には消去用基板電圧（0V）が印加される。

【0053】

前述のような電圧印加状態になると、ワードライン側不純物層WLDとセレクトゲート側不純物層SGDの間のチャネル領域にチャネルが形成される。ところ

が、選択ブロック内のメモリセル 410 の各ワードゲート 412 は消去用ワード電圧 (-3 V) にチャージアップされているので、各ワードゲート 412 とセレクトゲート側不純物層 S G D の間に電界が生じる。その結果で生じたホットホールにより、ONO 膜 413 にトラップされていた電荷 (電子) を消去できるのである。

【0054】

表 5 にイレース時の電圧印加状態を示した。

【0055】

【表 5】

	選択メモリブロック		非選択メモリブロック
		選択メモリセル	
イレース	W L	-3 V	0 V
	S G	0 V	0 V
	S L	5 V	0 V
	B L	0 V	0 V

イレース動作時の非選択メモリブロックについては、スタンバイ時と同様の電圧印加状態にある。

【0056】

(効果)

図 3 のレイアウトでは、素子分離領域 900 上にワードゲート 412 用のコンタクト及びワードライン側不純物層 W L D 用のコンタクトが設置されている。このため、コンタクト配置専用の領域を別途用意する必要がないので、レイアウト面積の縮小効果がある。

【0057】

(第 1 実施形態の変形例の構成)

図 9 は、第 1 実施形態の変形例のメモリブロック 400 の一部を示した回路図である。第 1 実施形態との相違は、各メモリセル 410 と各ビット線 60 及び各ソース線 80 との接続関係である。本実施形態では、複数のソース線 80 の各々は、メモリブロック 400 内の行方向 X に沿って配置された複数のメモリセル 410 のそれぞれのセレクトゲート側不純物層 S G D を共通接続する。また、複数のビット線 60 の各々は列方向 Y に、複数のメモリセル 410 のそれぞれのワー

ドライン側不純物層WLDを共通接続する。メモリブロック400において、その他の構成は、第1実施形態と同様である。

【0058】

図10は、メモリブロック400の一部について、各層の接続関係、位置関係が模式的に表された平面図である。図10によると、各ソース線80は複数のコンタクトCONT（第1ソース線接続部980）によって、基板414上のセレクトゲート側不純物層SGDに接続されている。また、各ビット線60は、複数のコンタクトCONT（第2配線層から基板414へ接続する接続部）によって、基板414上のワードライン側不純物層WLDに接続されている。なお、図10中の符号A-A、符号B-B及び符号C-Cはそれぞれ、後に示す断面図の切り口位置を表す。

【0059】

図11、12は、図10のB-B断面、C-C断面のそれぞれについて示された図である。図10のA-A断面については、第1実施形態の図4と同様の構成であるので、図示しない（図4参照）。

【0060】

次に図11を参照してB-B断面を説明する。第1実施形態の図5との相違は、第2配線層ALBのビット線60と基板414との接続構成である。本実施形態では、ビット線60（第2配線層ALB）は図11のように各ワードライン側不純物層WLDにそれぞれ接続される。その他の構成は、第1実施形態の図4と同様である。

【0061】

次に図12を参照してC-C断面を説明する。第1実施形態の図6との相違は、基板414内のセレクトゲート側不純物層SGDまたはワードライン側不純物層WLDの形成の有無と、第3配線層ALCの各ソース線80と基板414との接続構成である。図12によると、本実施形態では、基板414内にセレクトゲート側不純物層SGDが複数形成され、ワードライン側不純物層WLDは形成されない。また、基板414内に複数形成されたセレクトゲート側不純物層SGDの各々に、第3配線層の各ソース線80がソース線接続部（第1ソース線接続部

980)によって接続されている。

【0062】

本実施形態のONO膜413は、第1実施形態と同様に、メモリセル410の窒化膜417をセレクトゲート411及びワードゲート412の間に延在形成させなくてもよい。また、ワードゲート412の表面には、シリサイド（図示せず）を形成することができる。シリサイド（図示せず）として、例えばCoシリサイドまたはTiシリサイドを使用することができる。これによりワードゲート412の負荷抵抗値を下げることができる。

【0063】

（第1実施形態の変形例の動作）

基本的な動作原理は、第1実施形態と同様である。第1実施形態と本実施形態との動作の相違は、各ビット線60及び各ソース線80への印加電圧である。表6に、本実施形態における各線（ワード線50、ビット線60、セレクト線70及びソース線80）への印加電圧（オペレーション方法）を示した。

【0064】

なお、すべての動作時において非選択メモリブロックは、各線（ワード線50、ビット線60、セレクト線70及びソース線80）のすべてに、電圧0Vを印加するので、表6に記載するのを省略した。表6には、各動作毎に各線（ワード線50、ビット線60、セレクト線70及びソース線80）のそれぞれの印加電圧が非選択時及び選択時に応じて示されている。たとえば、表6によると、リード動作時（フォワードリード）での各ワード線50のうち、選択ワード線には電圧Vccが印加される。表6に従って本実施形態に係る不揮発性半導体記憶装置は動作する。

【0065】

【表 6】

選択メモリブロック			
フォワード リード	W	選択ワード線	V _{cc}
	L	非選択ワード線	0 V
	S	選択セレクト線	V _{cc}
	G	非選択セレクト線	0 V
	B	選択ビット線	V _{sa}
	L	非選択ビット線	0 V
	S	選択ソース線	0 V
	L	非選択ソース線	0 V
リバー スリード	W	選択ワード線	V _{cc}
	L	非選択ワード線	0 V
	S	選択セレクト線	V _{cc}
	G	非選択セレクト線	0 V
	B	選択ビット線	V _{cc} - V _{th}
	L	非選択ビット線	0 V
	S	選択ソース線	V _{cc}
	L	非選択ソース線	0 V
プログラム	W	選択ワード線	5.5 V
	L	非選択ワード線	0 V
	S	選択セレクト線	1 V
	G	非選択セレクト線	0 V
	B	選択ビット線	5 V (“0”書き込み時)
	L	非選択ビット線	0 V (“1”書き込み時)
	S	選択ソース線	0 V
	L	非選択ソース線	0 V
イレース	W	-3 V	
	L		
	S	0 V	
	G		
	B	5 V	
	L		
	S		
	L	0 V	

なお、第1実施形態と同様に本実施形態においてもフォワードリード、リバー
スリードが可能である。

【0066】

(第2実施形態)

以下に、第2実施形態について図を参照しながら説明する。

【0067】

(第2実施形態の構成)

図13は、本実施形態のメモリブロック400一部を表す回路図である。第1

実施形態との違いは、各ワード線 50 及び各ソース線 80 がそれぞれ共通接続されている点である。図 13 によると、各メモリブロック 400 内のすべてのワード線 50 は、各メモリブロック 400 内で共通接続されている。また、各メモリブロック内のソース線 80 は、各メモリブロック 400 内で共通接続されている。

【0068】

その他の構成は、第 1 実施形態と同様である。

【0069】

図 14 は、メモリブロック 400 の一部について、各層の接続関係、位置関係が模式的に表された平面図である。行方向 X に沿って複数配置されたワードゲート 412 の上層の第 3 配線層 ALC に複数のワード用配線である第 1 の配線（以下ワード線 50 という）が配置されている。点線で丸く囲まれた部分は、隣り合う 2 つのワードゲート 412 を接続する共通接続部 950 を表す。

【0070】

図 14 によると、素子分離領域 900 上の共通接続部 950 にワードゲート 412 用のコンタクト CONT（第 1 ワード線接続部 951 または、第 2 ワード線接続部 952）が配置されている。また、列方向 Y に沿って複数のワード用配線である第 2 の配線（ワード線接続線 51）が第 2 配線層 ALB に配置されている。ワード線接続線 51 はメモリブロック内の複数のワード線 50 を共通接続する。つまり、ワードゲート 412 用のコンタクト CONT は、素子分離領域 900 上で複数のワード線 50 と複数のワードゲート 412 を共通接続している。

【0071】

また、行方向 X に沿って複数のソース用配線（ソース線 80）が配置されている（図 14 では、1 本のソース線 80 を図示してある）。各ソース線 80 は、第 3 配線層 ALC に配置されている。さらに列方向 Y に沿って、第 4 の配線（ソース用配線 81）が素子分離領域 900 上の第 2 配線層 ALB に配置されている。ソース用配線 81 は複数のソース線 80 と複数のワードライン側不純物層 WLD（後に図示する）を共通接続する。符号 A-A、符号 B-B 及び符号 C-C はそれぞれ、以下に図示する断面図の切り口位置を示す。以下の図においても、同符

号のものは、同様の意味を表す。

【0072】

図15～17は、A-A断面、B-B断面、C-C断面のそれぞれについて示された図である。

【0073】

図15を参照してA-A断面を説明する。図15の横方向は、列方向Yとおなじである。素子分離領域900上にセレクトゲート411及びワードゲート412が配置されている。セレクトゲート411と素子分離領域900との間には、絶縁体膜（例えばSiO₂）が介されている。前記絶縁体膜は、窒化酸化膜でも形成することができる。また、ワードゲート412と素子分領域900との間に窒化膜417（例えばSiN）が形成されている。セレクトゲート411は導電体（例えばポリシリコン）で形成されている。

【0074】

第1配線層ALAには、複数のセレクト線70が形成されている。各セレクト線70は、それぞれのすぐ下層にて第1絶縁層I1により覆われているセレクトゲート411へ、コンタクトCONT（第1配線層ALAから基板414へ接続する接続部）により接続されている。第3配線層ALCには、ワード線50及びソース線80が形成されている。各ワード線50は、コンタクトCONT（第1ワード線接続部951）によって、各共通接続部950へ接続されるが、この構成を以下に説明する。各ワード線50は、コンタクトCONT（第3配線層ALCから第2配線層ALBに接続する接続部）により下層（第2配線層ALB）に配設されているワード線接続線51に接続されている。ワード線接続線51は導電体（例えばメタル）で形成できる。ワード線接続線51は、下方にて第1絶縁層I1により覆われている各共通接続部950（ワードゲート412）へ、コンタクトCONT（第2ワード線接続部952）により接続されている。この構成により、第3配線層ALCに形成されている各ワード線50は、メモリブロック400内のワードゲート412を共通接続することができる。また、基板414内には、素子分領域900が形成されているので、チャネル領域が形成されない。

【0075】

次に図16を参照してB-B断面を説明する。ビット線60は、導電体（例えばメタル）で形成することができる。基板414内には、複数のセレクトゲート側不純物層SGD及び複数のワードライン側不純物層WLDが形成されている。基板414内の各セレクトゲート側不純物層SGD及び各ワードライン側不純物層WLDの間には、チャンネル領域が形成される。各セレクトゲート側不純物層SGDは、各セレクトゲート側不純物層SGDの列方向Yでの両端側に配置されている2つのメモリセル410に共用される。また、各ワードライン側不純物層WLDは、各ワードライン側不純物層WLDの列方向Yでの両端側に配置されている2つのメモリセル410に共用される。複数のセレクトゲート411及び複数のワードゲート412は、第1絶縁層I1により覆われている。また、ワードゲート412とチャンネル領域との間にL字状（または逆L字状）に窒化膜417（例えばSiN）が形成されている。第1配線層ALAには、複数のセレクト線70が形成されている。第2配線層ALBには、一本のビット線60が形成されている。このビット線60は、コンタクトCONT（第2配線層ALBから基板414へ接続する接続部）により、基板414内の複数のセレクトゲート側不純物層SGDのそれぞれに接続されている。第3配線層ALCには、複数のワード線50及び複数のソース線80が形成されている。

【0076】

次に図17を参照してC-C断面を説明する。基板414内には、複数の素子分領域900及び複数のワードライン側不純物層WLDが形成されている。複数のセレクトゲート411及び複数のワードゲート412は、第1絶縁層I1により覆われている。また、ワードゲート412と素子分領域900との間にL字状（または逆L字状）に窒化膜417（例えばSiN）が形成されている。第1配線層ALAには、複数のセレクト線70が形成されている。各セレクト線70は、それぞれのすぐ下層にて第1絶縁層I1により覆われているセレクトゲート411へ、コンタクトCONT（第1配線層ALAからセレクトゲート411へ接続する接続部）により接続されている。第2配線層ALBには、ソース線80（第3配線層ALC）をそれぞれ各ワードライン側不純物層WLDへ共通接続するた

めの橋渡しをする第4の配線（ソース配線81）が形成されている。ソース用配線81は例えば、金属で形成することができる。第3配線層ALCには、ワード線50及びソース線80が形成されている。ソース線80はソース線接続部（第2ソース線接続部981）により第2配線層ALBに形成された各ソース配線81に一旦接続される。さらに各ソース配線81は、ソース線接続部（第1ソース線接続部980）により、各ワードライン側不純物層WLDへ接続される。なお、基板414内には、複数の素子分領域900が形成されているため、チャンネル領域は形成されない。

【0077】

上述されたメモリセル410の構成は一例であり、例えば、メモリセル410の窒化膜417は、セレクトゲート411及びワードゲート412の間に延在形成させなくてもよい。また、ワードゲート412の表面には、シリサイド（図示せず）を形成することができる。シリサイド（図示せず）として、例えばCoシリサイドまたはTiシリサイドを使用することができる。これによりワードゲート412の負荷抵抗値を下げることができる。

【0078】

（第2実施形態の動作）

基本的な動作原理は、第1実施形態と同様である。第1実施形態と本実施形態との動作の相違は、メモリブロック400内の各ワード線50及び各ソース線80への印加電圧である。本実施形態では、メモリブロック400内の各ワード線50が1本のワード線50に共通接続されている。また、メモリブロック400内の各ソース線80も、1本のソース線80に共通接続されている。これにより、本実施形態のすべての動作において、選択メモリブロック内の各ワード線50はすべて選択ワード線となり、選択メモリブロック内の各ソース線80はすべて選択ソース線となる。本実施形態における各線（ワード線50、ビット線60、セレクト線70及びソース線80）への印加電圧（オペレーション方法）を表7に示した。

【0079】

なお、表7は表6の表記方式にしたがって記載されている。表7に従って本実

施形態に係る不揮発性半導体記憶装置は動作する。

【0080】

【表 7】

選択メモリブロック			
フォワード リード	W L	選択ワード線	V_{cc}
	S	選択セレクト線	V_{cc}
	G	非選択セレクト線	0 V
	B	選択ビット線	$V_{cc} - V_{th}$
	L	非選択ビット線	0 V
	S L	選択ソース線	V_{cc}
リバース リード	W L	選択ワード線	V_{cc}
	S	選択セレクト線	V_{cc}
	G	非選択セレクト線	0 V
	B	選択ビット線	V_{sa}
	L	非選択ビット線	0 V
	S L	選択ソース線	0 V
プログラム	W L	選択ワード線	5.5 V
	S	選択セレクト線	1 V
	G	非選択セレクト線	0 V
	B	選択ビット線	0 V (“0”書き込み時)
	L	非選択ビット線	V_{cc} (“1”書き込み時)
	S L	選択ソース線	0 V
イレース	W L	-3 V	
	S G	0 V	
	B L	0 V	
	S L	5 V	

なお、非選択メモリセルは、電圧印加状態に応じて3種類（非選択メモリセルE～G）に分類できる。非選択メモリセルEは、選択ワード線、選択ビット線、非選択セレクト線及び選択ソース線が接続されている非選択メモリセルである。非選択メモリセルFは、選択ワード線、非選択ビット線、選択セレクト線及び選択ソース線が接続されている非選択メモリセルである。非選択メモリセルGは、選択ワード線、非選択ビット線、非選択セレクト線及び選択ソース線が接続され

ている非選択メモリセルである。また、本実施形態においてもフォワードリード、リバースリードが可能である。

【0081】

表8にリード、プログラムの各動作についての非選択メモリセルE～Gの電圧印加状態を示した。なお、イレーズ動作は選択ブロック内のメモリはすべて選択メモリになるので、表8にはイレーズ動作は記載されていない。

【0082】

【表8】

		非選択メモリセル E	非選択メモリセル F	非選択メモリセル G
フォワード リード	WL	V _{cc}		
	SG	0 V	V _{cc}	0 V
	SL	0 V		
	BL	V _{sa}	0 V	0 V
リバース リード	WL	V _{cc}		
	SG	0 V	V _{cc}	0 V
	SL	V _{cc}		
	BL	V _{cc} - V _{sa}	V _{cc}	V _{cc}
プログラ ム	WL	5.5 V		
	SG	0 V	1 V	0 V
	SL	5 V		
	BL	0 V	V _{cc}	V _{cc}

次に本実施形態のような電圧印加を行っても、非選択メモリセルE～Gが誤動作を起こさない理由を説明する。各メモリセル410のONO膜413内の情報に対してリード、プログラムを行うためには、各メモリセル410のチャネル領域にチャネルが形成され、さらにチャネル領域に電流が流れる必要がある。しかし、表8の非選択メモリセルF、Gについては、各ソース線80及び各ビット線60の間には所定の電位差がないためチャネルが形成されない。つまり、非選択メモリセルF、Gは、各ワード線50及び各セレクト線70の電圧印加状態に関わらない。また、表8の非選択メモリセルE、Gについては、各セレクト線70が0 Vなので、チャネルが形成されても、チャネル領域に電流が流れない。上記の理由から、本実施形態においても、正常な動作が可能である。

【0083】

(第2実施形態の効果)

本実施形態では、メモリブロック 400 毎に、各ワード線 50 が共通接続され、さらに、各ソース線 80 も共通接続されている（図 13 参照）。これにより、各メモリブロック 400 内には、単位ワード線駆動部 310 および単位ソース線駆動部 810 がそれぞれ一つ設ければよい。その場合のレイアウト方式が図 14 に示されている。図 14 のようなレイアウトは、素子分離領域 900 上に各ワード線 50 及び各ソース線 80 の共通接続するためのコンタクトが設置されているので、レイアウト面積の縮小効果がある。さらに、単位ワード線駆動部 310 及び単位ソース線駆動部 810 をそれぞれ 1 つずつ配置すれば良いので、メモリブロック 400 の配線ピッチを狭めることができる。これも、レイアウト面積縮小効果を奏する。

【0084】

（第 2 実施形態の変形例の構成）

図 18 は、第 2 実施形態の変形例のメモリブロック 400 の一部を示した回路図である。第 2 実施形態との相違は、各メモリセル 410 と各ビット線 60 及び各ソース線 80 との接続関係である。本実施形態では、複数のソース線 80 の各々は、メモリブロック 400 内の行方向 X に沿って配置された複数のメモリセル 410 のそれぞれのセレクトゲート側不純物層 SGD を共通接続する。また、複数のビット線 60 の各々は列方向 Y に、複数のメモリセル 410 のそれぞれのワードライン側不純物層 WLD を共通接続する。メモリブロック 400 において、その他の構成は、第 2 実施形態と同様である。

【0085】

図 19 は、メモリブロック 400 の一部について、各層の接続関係、位置関係が模式的に表された平面図である。図 19 によると、各ソース線 80（第 3 配線層 AL C）は複数のソース線接続部（第 2 ソース線接続部 981）によって、第 2 配線層 AL B に列方向 Y に沿って配置されている第 4 の配線（ソース用配線 81）へ接続される。ソース用配線 81 は複数のソース線接続部（第 1 ソース線接続部 980）によって、基板 414 上の各セレクトゲート側不純物層 SGD に接続されている。また、各ビット線 60（第 2 配線層）は、複数のコンタクト CONT（第 2 配線層 AL B から基板 414 へ接続する接続部）によって、基板 41

4 上の各ワードライン側不純物層 WLD に接続されている。その他の構成は第 2 実施形態と同様である。なお、図 19 中の符号 A-A、符号 B-B 及び符号 C-C はそれぞれ、後に示す断面図の切り口位置を表す。

【0086】

図 20、21 は、図 19 の B-B 断面、C-C 断面のそれぞれについて示された図である。図 19 の A-A 断面については、第 2 実施形態の図 15 と同様の構成であるので、図示しない（図 15 参照）。

【0087】

次に図 20 を参照して B-B 断面を説明する。第 1 実施形態の図 16 との相違は、第 2 配線層 ALB のビット線 60 と基板 414 との接続構成である。本実施形態では、ビット線 60（第 2 配線層 ALB）は図 20 のように複数のコンタクト CONT（第 2 配線層 ALB から基板 414 へ接続する接続部）によって、各ワードライン側不純物層 WLD にそれぞれ接続される。その他の構成は、第 1 実施形態の図 4 と同様である。

【0088】

次に図 21 を参照して C-C 断面を説明する。第 2 実施形態の図 17 との相違は、基板 414 内のセレクトゲート側不純物層 SGD またはワードライン側不純物層 WLD の形成の有無と、第 3 配線層 ALC の各ソース線 80 と基板 414 との接続構成である。図 21 によると、本実施形態では、基板 414 内にセレクトゲート側不純物層 SGD が複数形成され、ワードライン側不純物層 WLD は形成されない。また、基板 414 内に複数形成されたセレクトゲート側不純物層 SGD の各々に、第 3 配線層 ALC のソース線 80 が接続されている。このとき、ソース線 80（第 3 配線層 ALC）はソース線接続部（第 2 ソース線接続部 981）によって、ソース用配線 81 に一旦接続される。ソース用配線 81 は、列方向 Y に沿って第 2 配線層 ALB に配置されている。ソース用配線 81 は、ソース線接続部（第 1 ソース線接続部 980）により、基板 414 上に形成されている複数のセレクトゲート側不純物層 SGD の各々に接続される。ソース用配線 81 は導電体（例えばメタル）で形成できる。

【0089】

本実施形態のONO膜413は、第2実施形態と同様に、メモリセル410の窒化膜417をセレクトゲート411及びワードゲート412の間に延在形成させなくてもよい。また、ワードゲート412の表面には、シリサイド（図示せず）を形成することができる。シリサイド（図示せず）として、例えばCoシリサイドまたはTiシリサイドを使用することができる。これによりワードゲート412の負荷抵抗値を下げることができる。

【0090】

（第2実施形態の変形例の動作）

基本的な動作原理は、第2実施形態と同様である。第2実施形態と本実施形態との動作の相違は、各ビット線60及び各ソース線80への印加電圧である。表6に、本実施形態における各線（ワード線50、ビット線60、セレクト線70及びソース線80）への印加電圧（オペレーション方法）を示した。

【0091】

なお、すべての動作時において非選択メモリブロックは、代2実施形態と同様の理由から、表9に記載するのを省略した。表9に従って本実施形態に係る不揮発性半導体記憶装置は動作する。

【0092】

【表 9】

選択メモリブロック			
フォワード リード	W L	選択ワード線	V_{cc}
	S	選択セレクト線	V_{cc}
	G	非選択セレクト線	0 V
	B	選択ビット線	$V_{cc} - V_{th}$
	L	非選択ビット線	0 V
	S L	選択ソース線	V_{cc}
リバー スリード	W L	選択ワード線	V_{cc}
	S	選択セレクト線	V_{cc}
	G	非選択セレクト線	0 V
	B	選択ビット線	V_{sa}
	L	非選択ビット線	0 V
	S L	選択ソース線	0 V
プログラム	W L	選択ワード線	5.5 V
	S	選択セレクト線	1 V
	G	非選択セレクト線	0 V
	B	選択ビット線	5 V (“0” 書き込み時)
	L	非選択ビット線	0 V (“1” 書き込み時)
	S L	選択ソース線	0 V
イレース	W L	-3 V	
	S G	0 V	
	B L	5 V	
	S L	0 V	

なお、第2実施形態と同様に本実施形態においてもフォワードリード、リバー
スリードが可能である。

【0093】

以上のようにして、本発明はレイアウト面積の小さい不揮発性半導体記憶装置
を提供できる。

【0094】

本発明は、上述した実施の形態に限定されるものではなく、本発明の要旨の範
囲内で種々の変形実施が可能である。

【図面の簡単な説明】

- 【図 1】 本発明の一実施形態に係る全体図である。
- 【図 2】 本発明の第 1 実施形態にかかるメモリブロックの構成図である。
- 【図 3】 第 1 実施形態に係るメモリブロックの平面構造図である。
- 【図 4】 第 1 実施形態に係るメモリブロックの断面構造図である。
- 【図 5】 第 1 実施形態に係るメモリブロックの他の断面構造図である。
- 【図 6】 第 1 実施形態に係るメモリブロックの他の断面構造図である。
- 【図 7】 第 1 実施形態に係るメモリブロックの他の構成図である。
- 【図 8】 ONO 膜内の電荷の有無と流れる電流の関係を表す図である。
- 【図 9】 第 1 実施形態の変形例にかかるメモリブロックの構成図である。
- 【図 10】 第 1 実施形態の変形例に係るメモリブロックの平面構造図である。
- 【図 11】 第 1 実施形態の変形例に係るメモリブロックの断面構造図である。
- 【図 12】 第 1 実施形態の変形例に係るメモリブロックの他の断面構造図である。
- 【図 13】 第 2 実施形態にかかるメモリブロックの構成図である。
- 【図 14】 第 2 実施形態に係るメモリブロックの平面構造図である。
- 【図 15】 第 2 実施形態に係るメモリブロックの断面構造図である。
- 【図 16】 第 2 実施形態に係るメモリブロックの他の断面構造図である。
- 【図 17】 第 2 実施形態に係るメモリブロックの他の断面構造図である。
- 【図 18】 第 2 実施形態にかかるメモリブロックの構成図である。
- 【図 19】 第 2 実施形態に係るメモリブロックの平面構造図である。
- 【図 20】 第 2 実施形態に係るメモリブロックの断面構造図である。
- 【図 21】 第 2 実施形態に係るメモリブロックの他の断面構造図である。

【符号の説明】

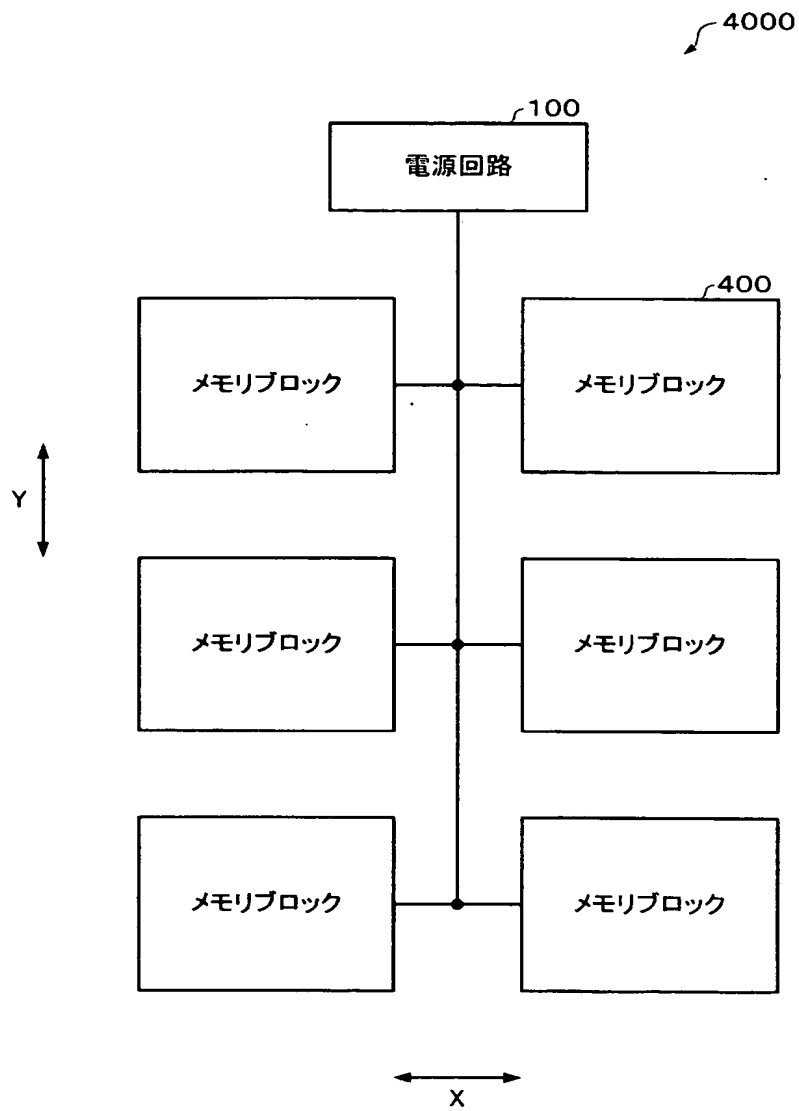
- 50 第 1 の配線（ワード線）、 51 第 2 の配線（ワード線接続線）、
60 ビット線、 80 第 3 の配線（ソース線）、 81 第 4 の配線（ソース用配線）、
400 メモリブロック、 410 メモリセル、 411

セレクトゲート、 4 1 2 ワードゲート、 4 1 3 不揮発性メモリ素子（
ONO膜）、 4 1 4 基板、 4 1 7 窒化膜、 9 0 0 素子分離領域、 9
5 0 共通接続部、 9 5 1 ワード線接続部、 9 5 2 第 2 ワード線接続部
、 9 8 0 第 1 ソース線接続部、 9 8 1 第 2 ソース線接続部

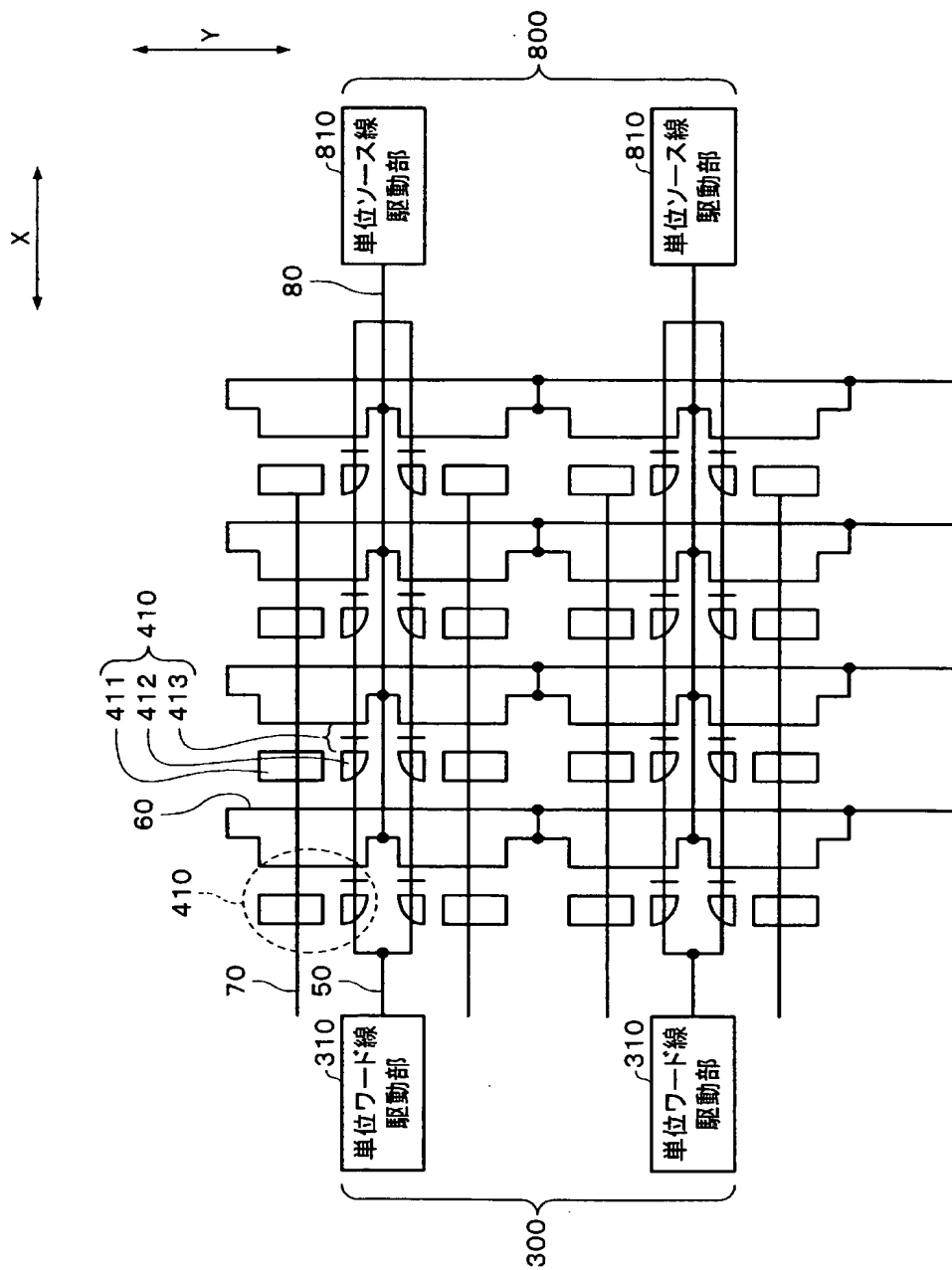
【書類名】

図面

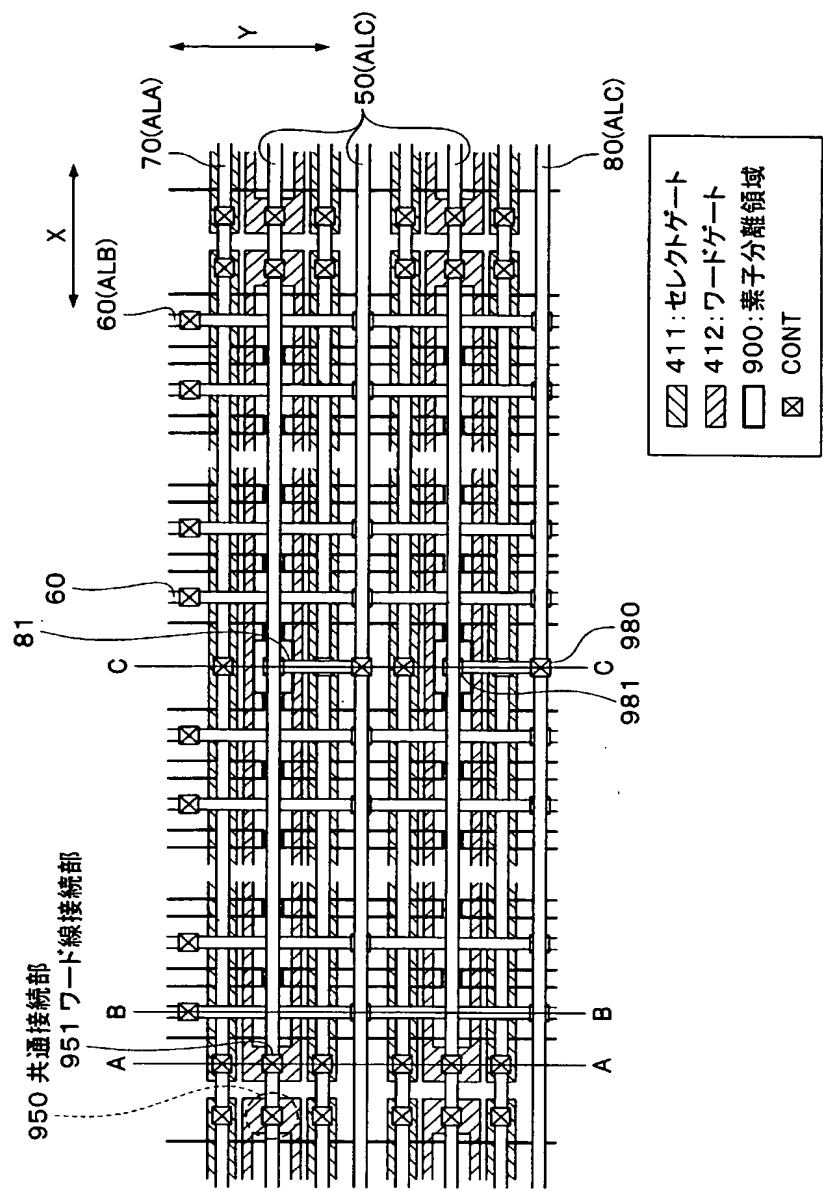
【図 1】



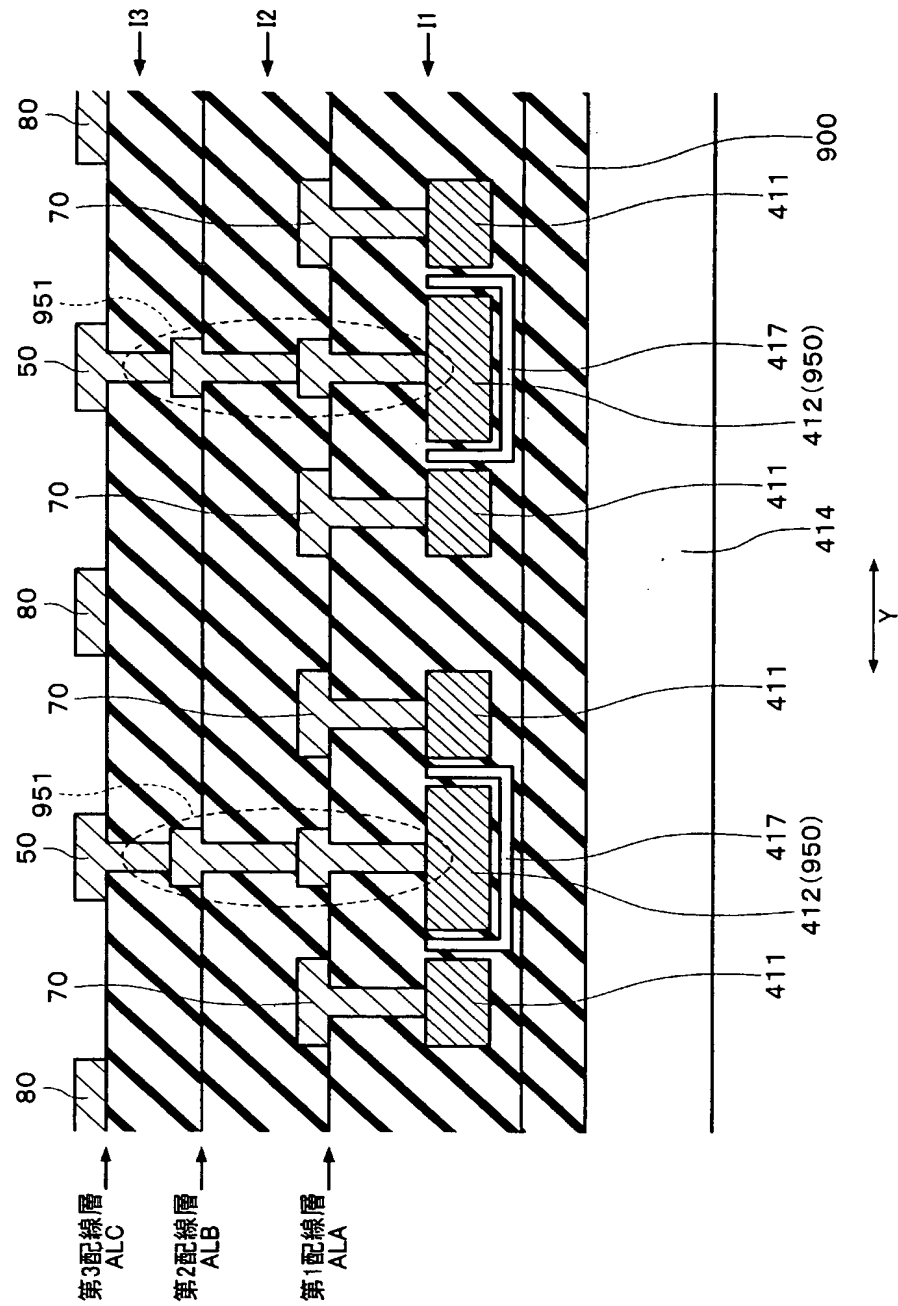
【図 2】



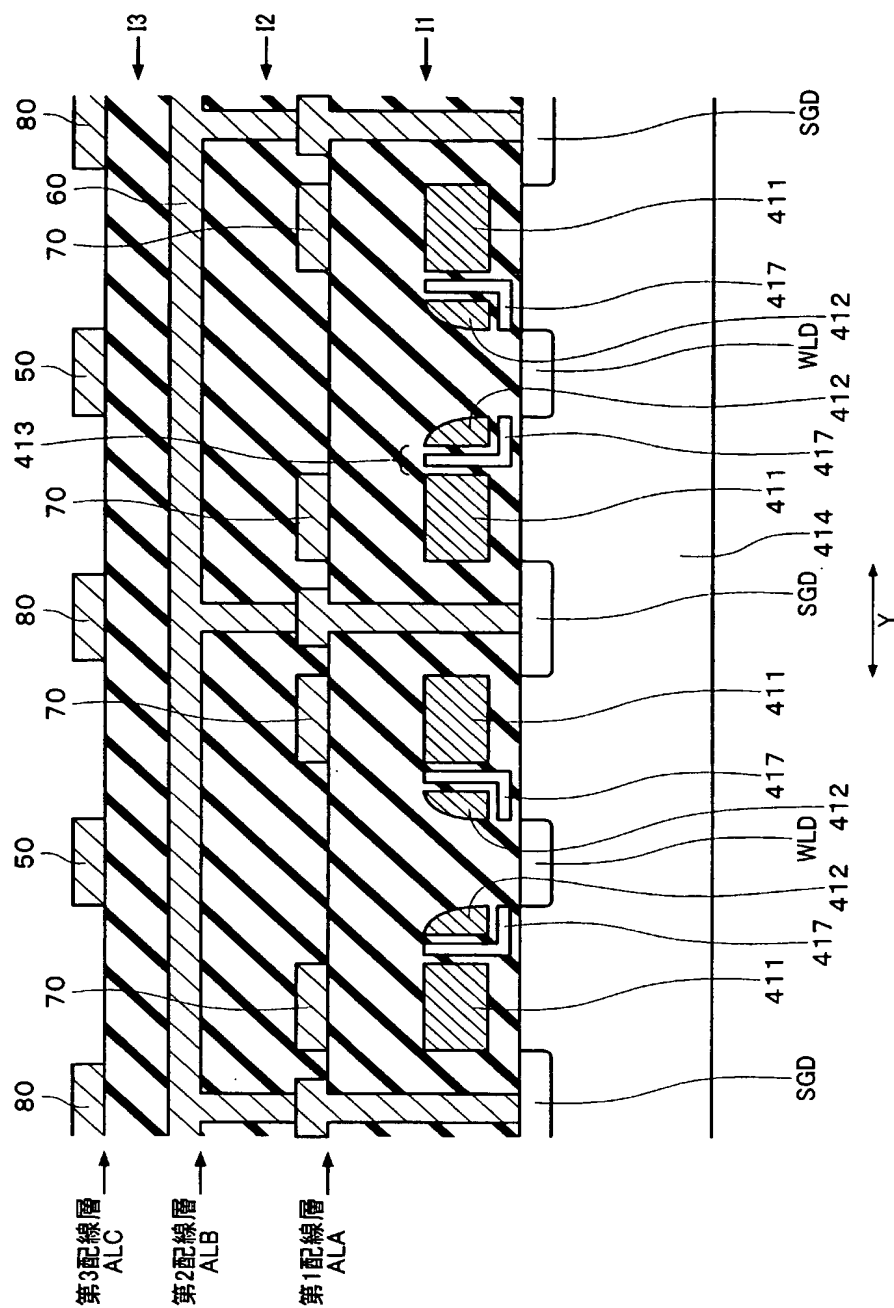
【図 3】



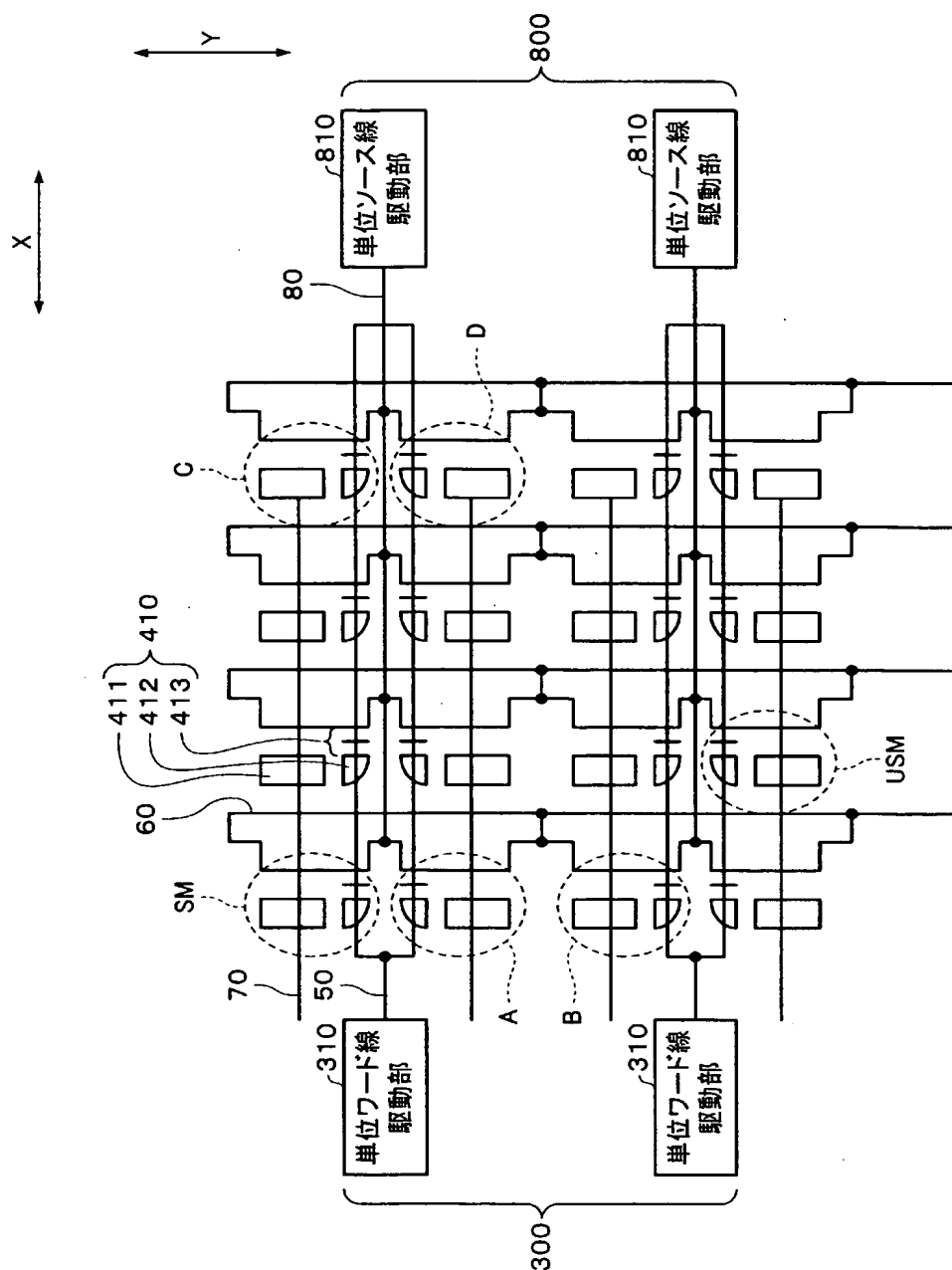
【図 4】



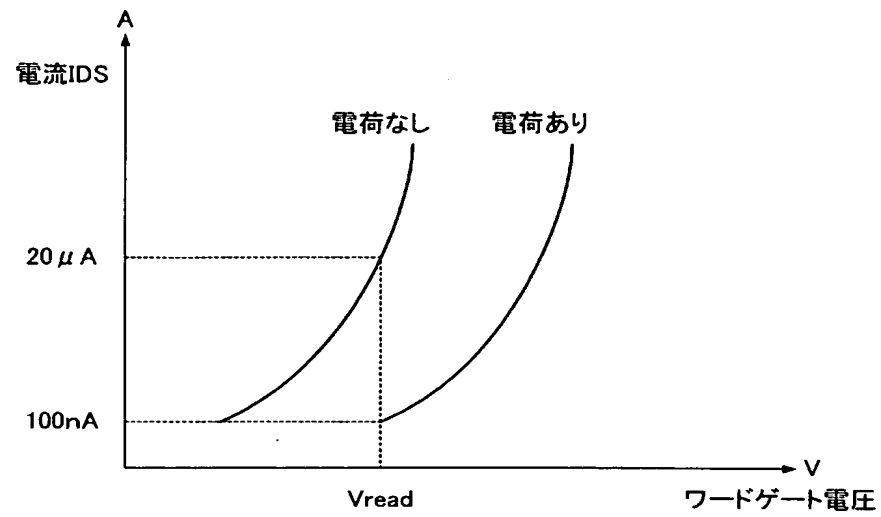
【図 5】



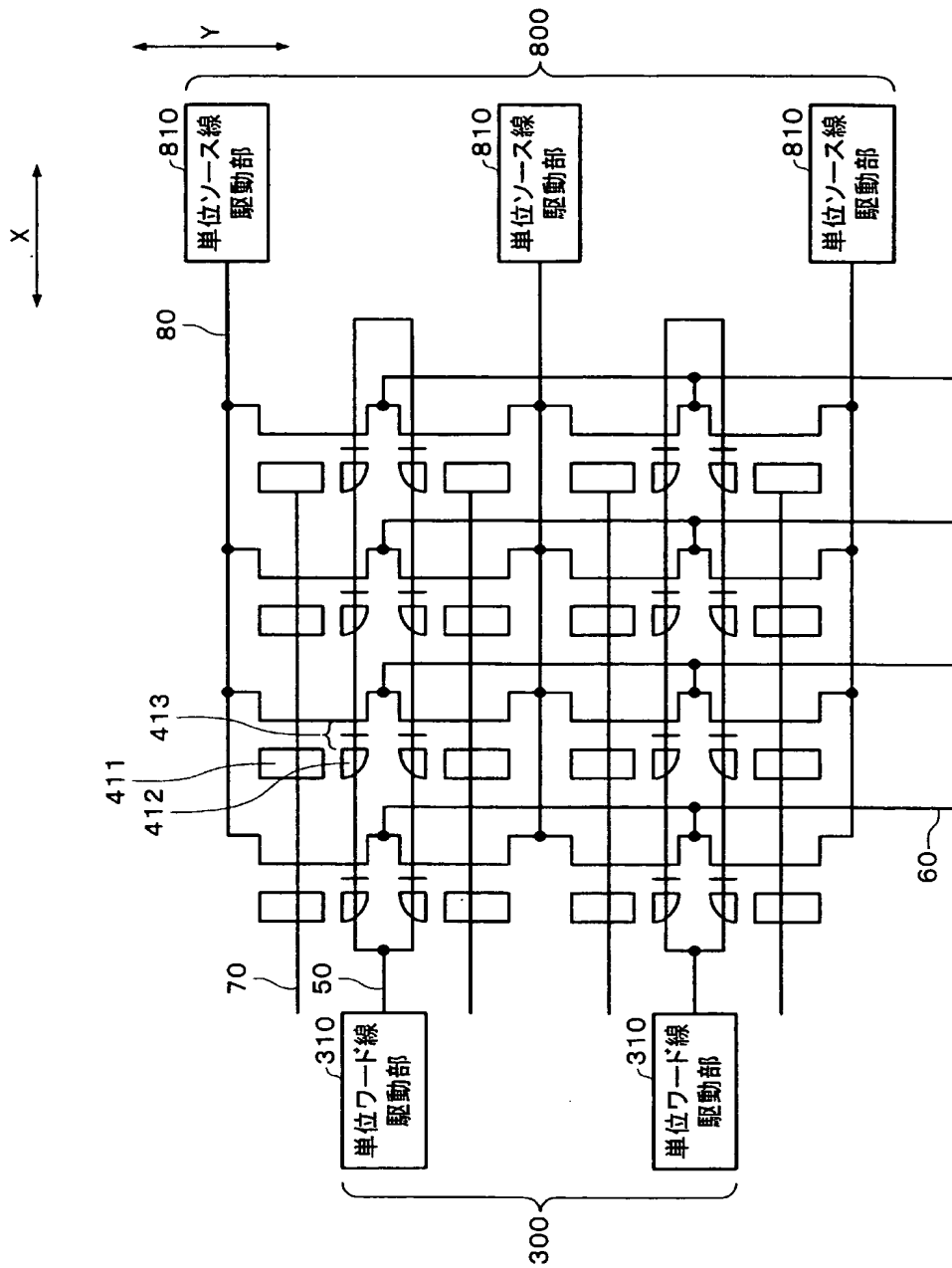
【図 7】



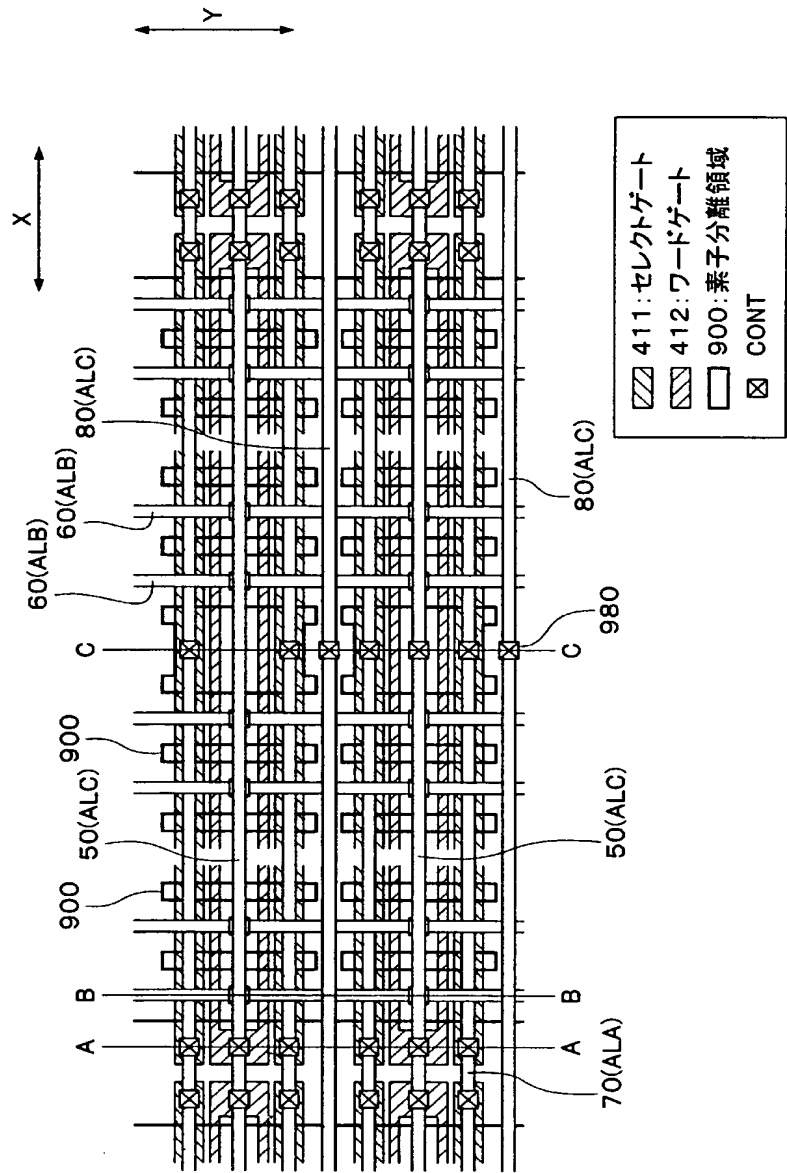
【図 8】



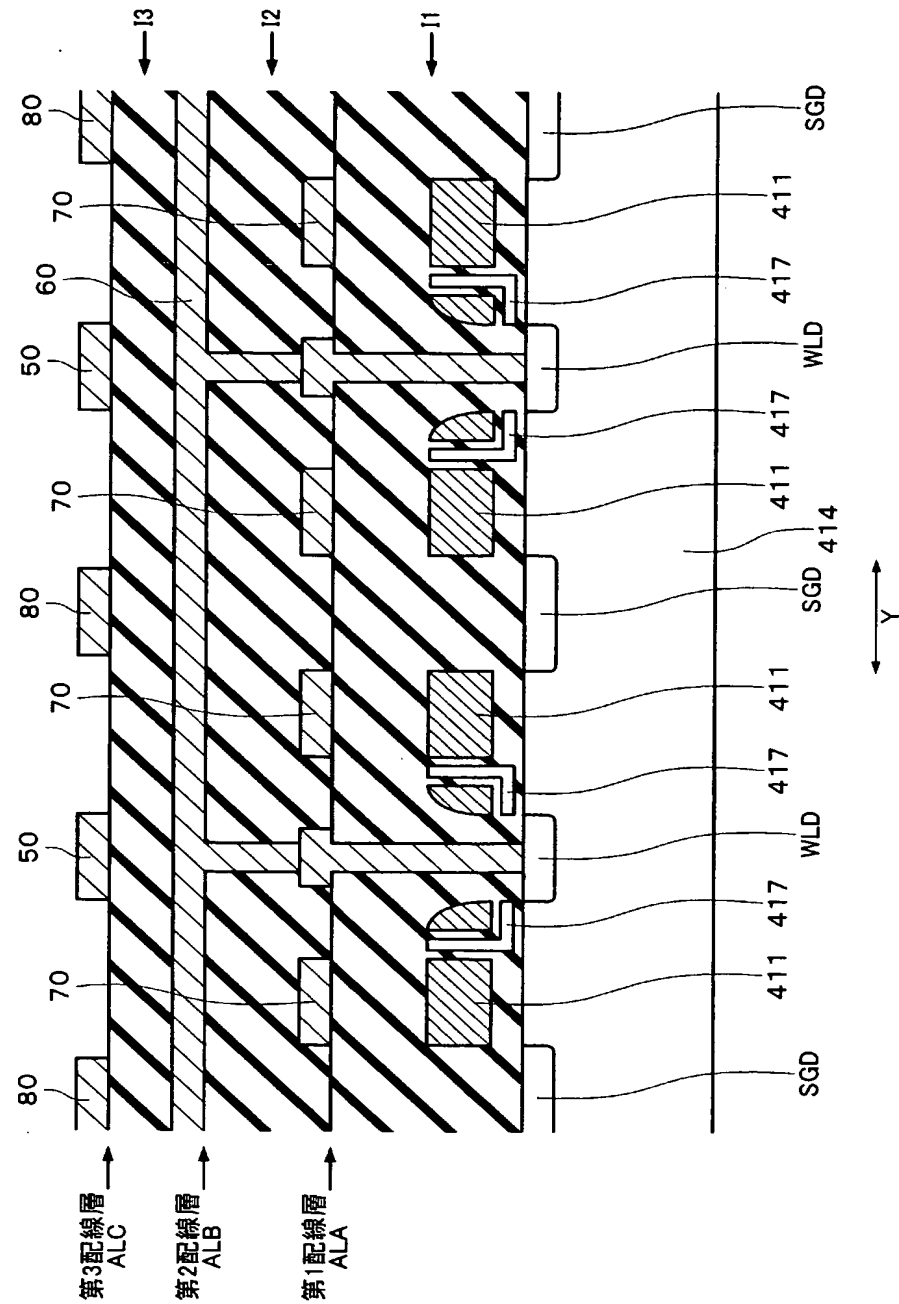
【図 9】



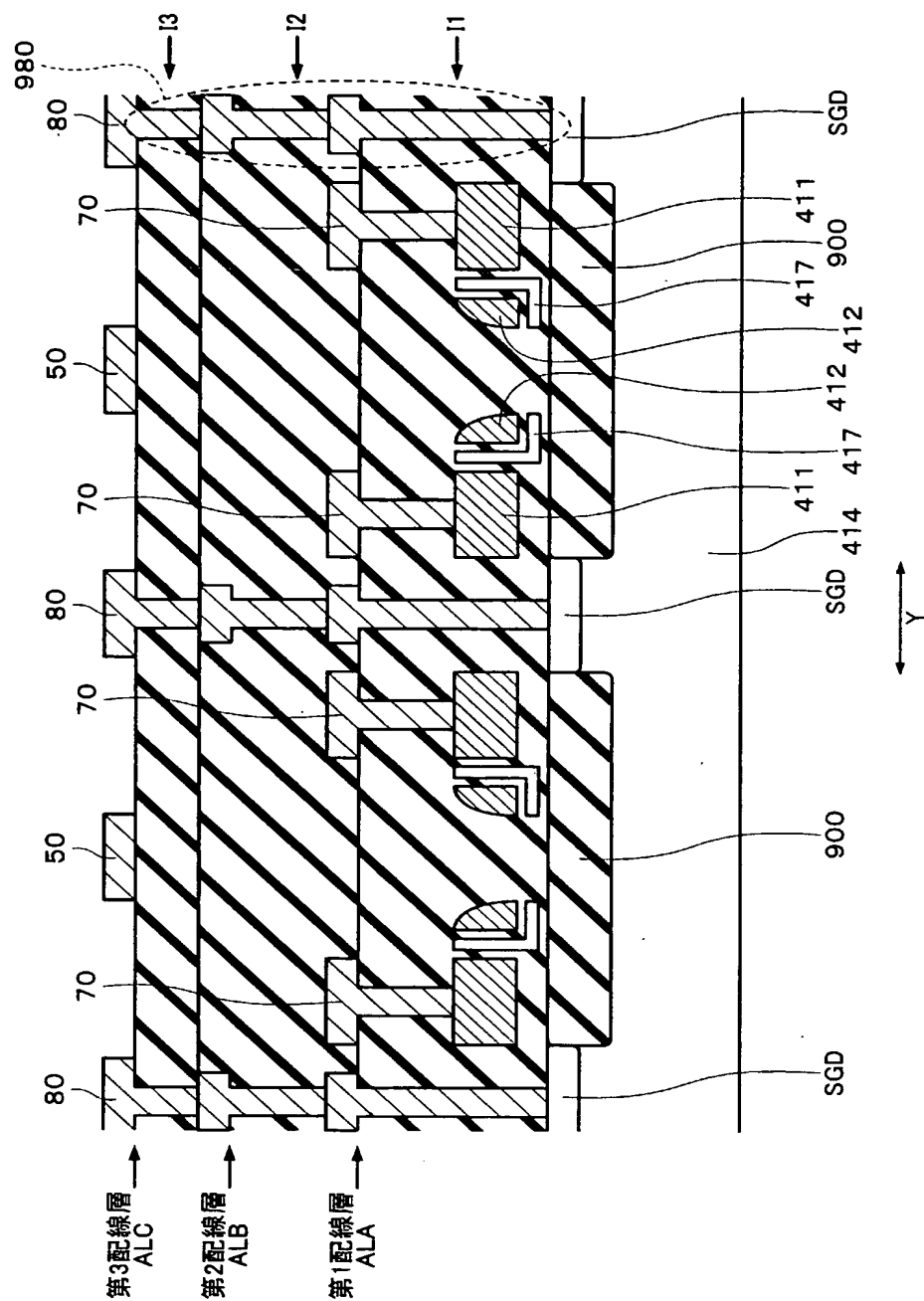
【図 10】



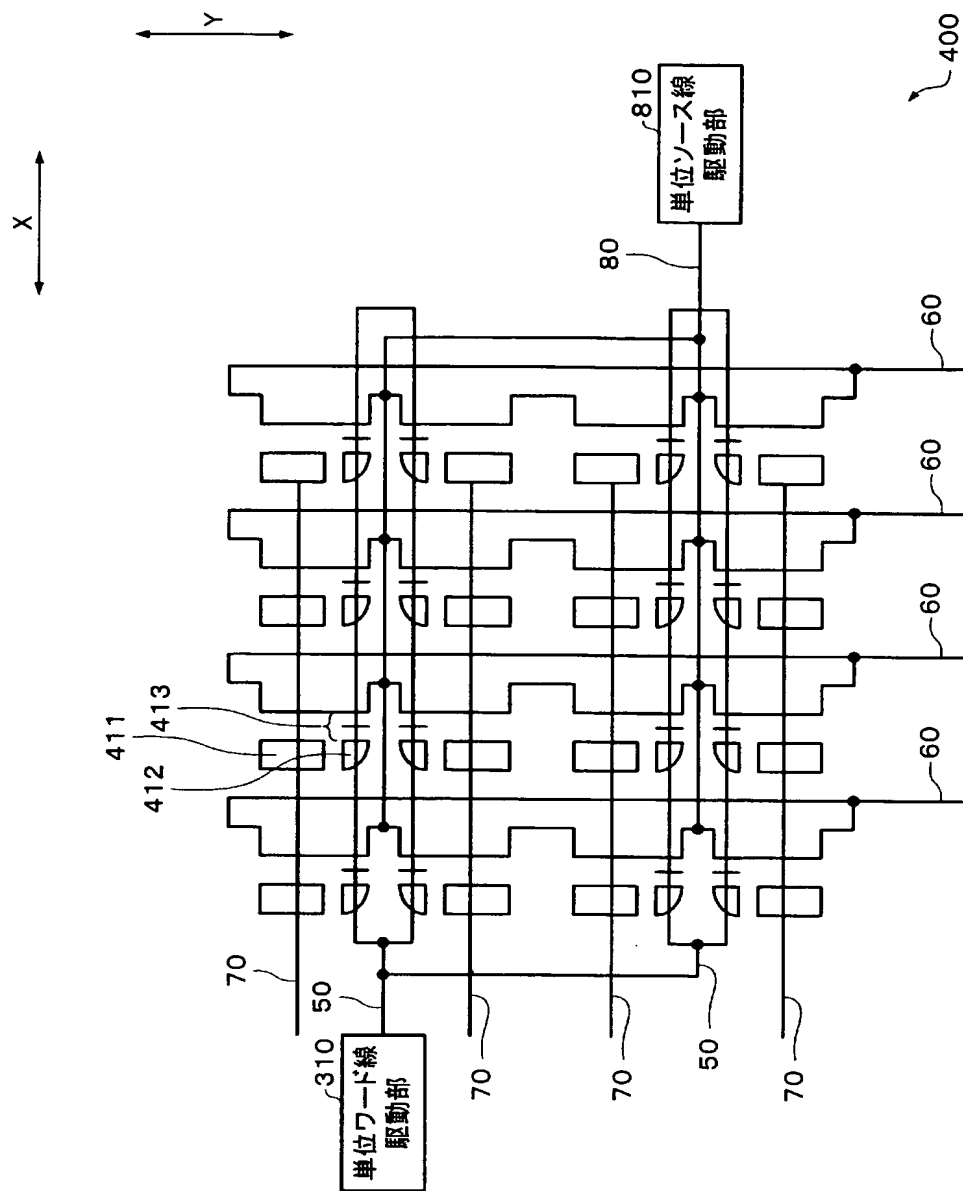
【図 11】



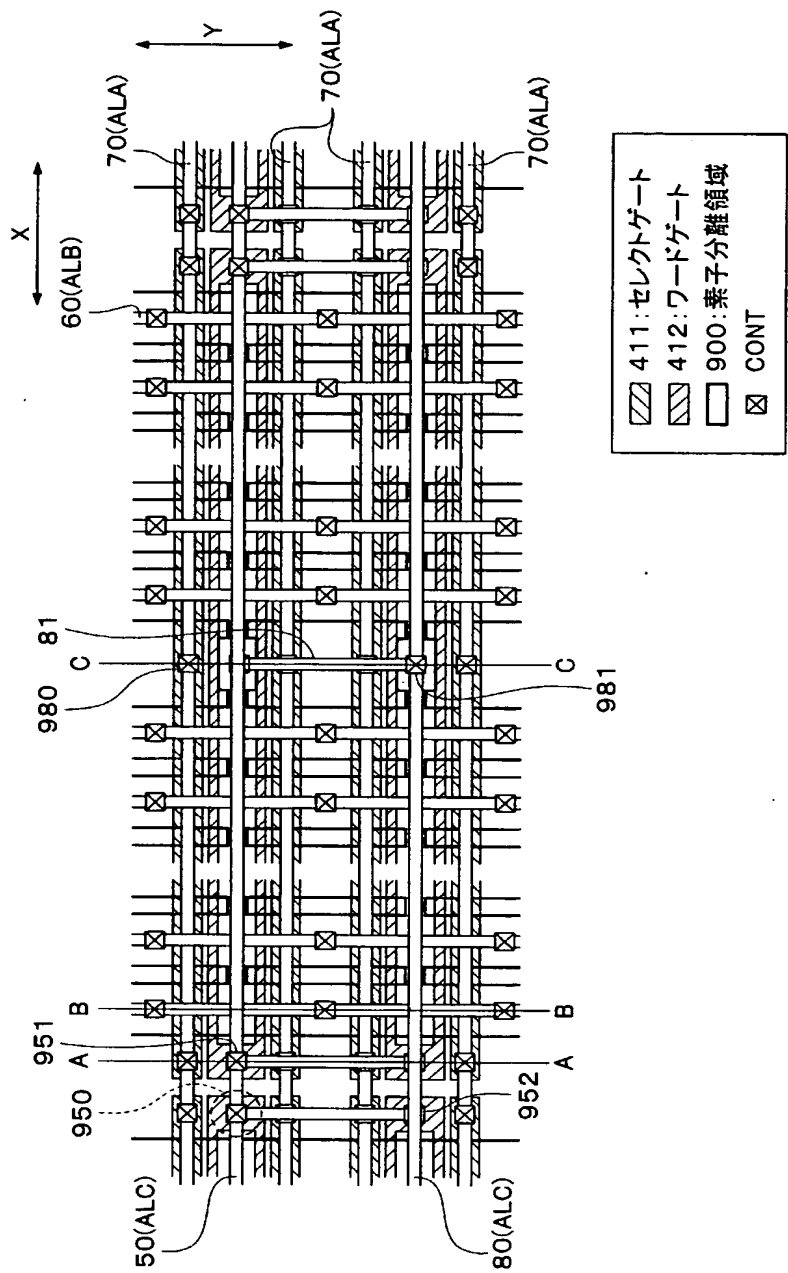
【図 12】



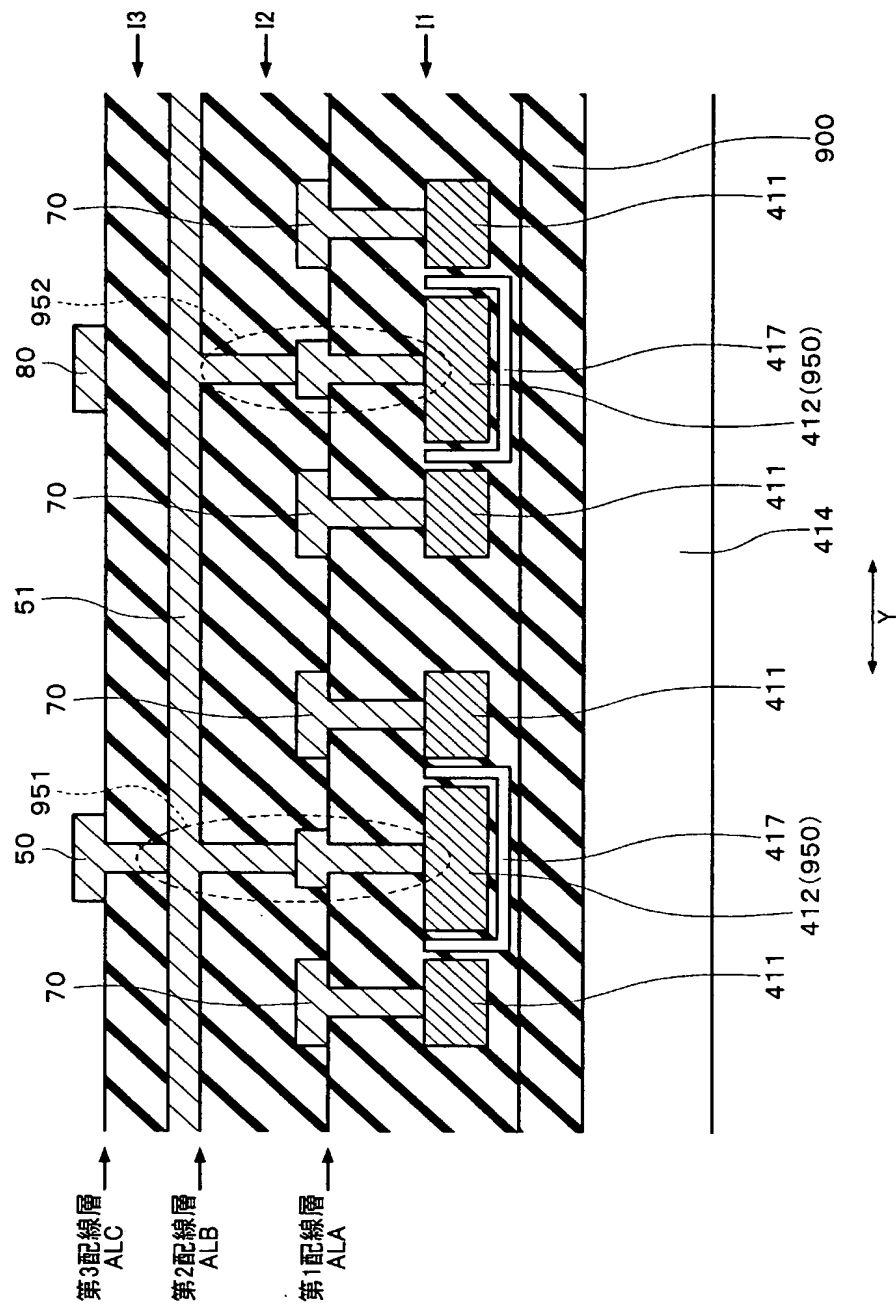
【図 13】



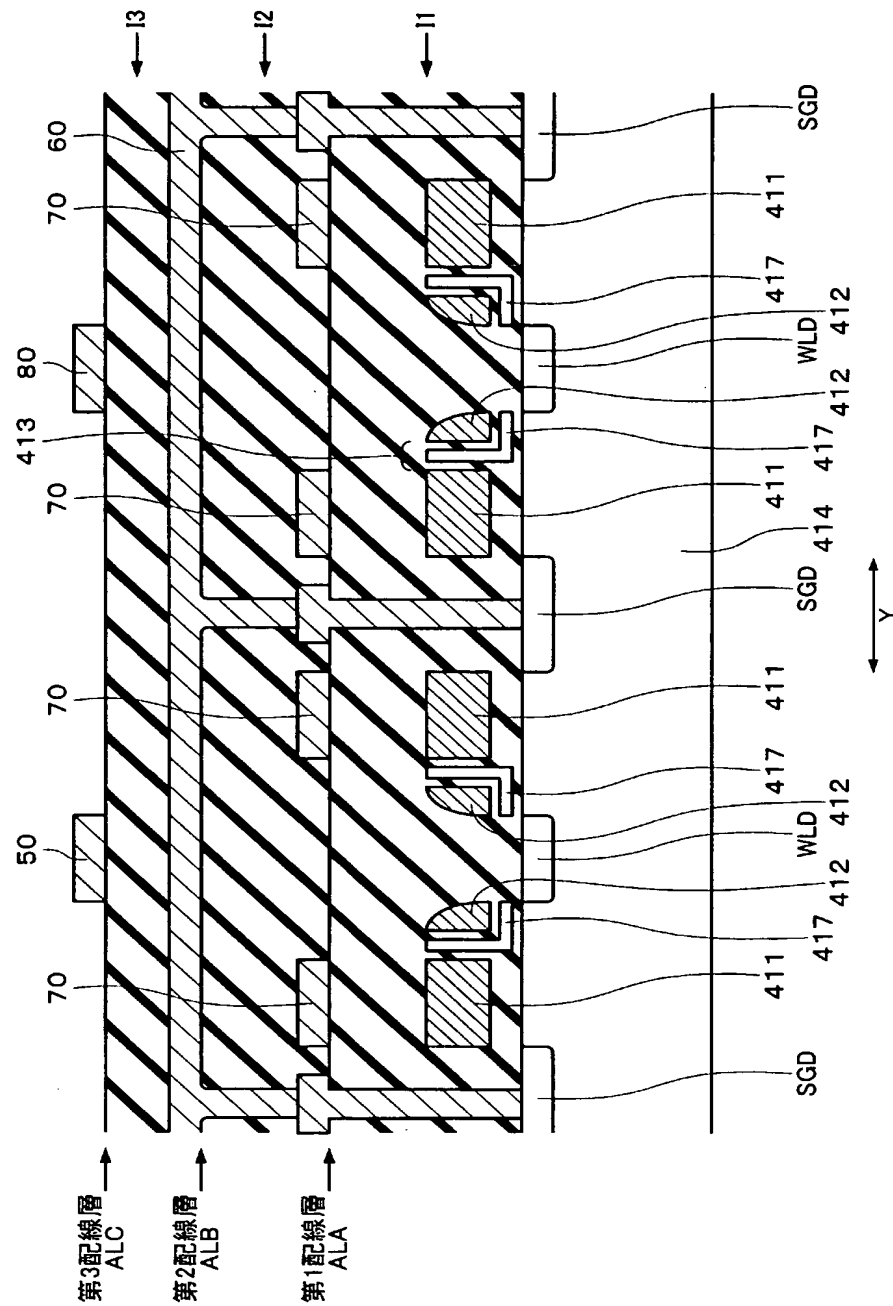
【図 14】



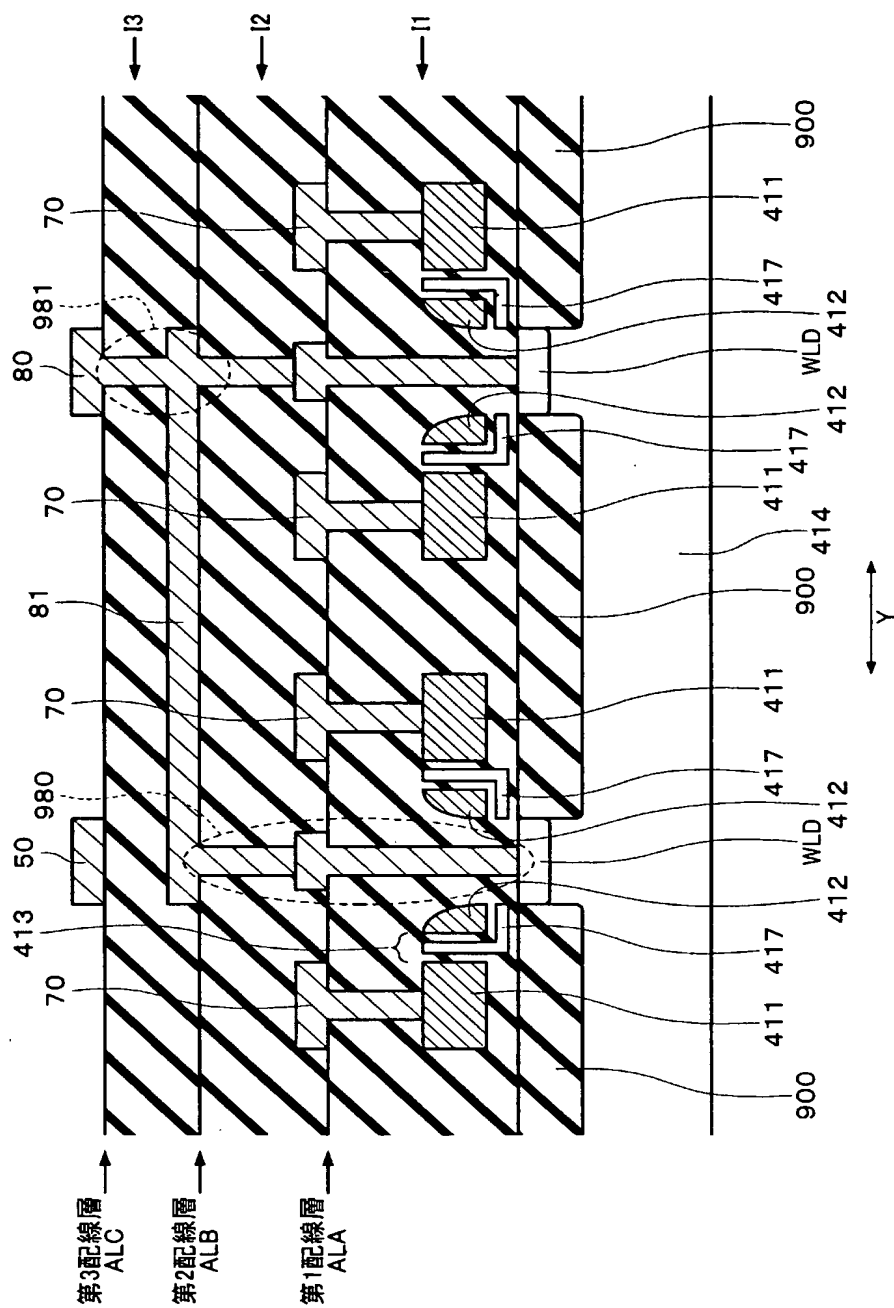
【図 15】



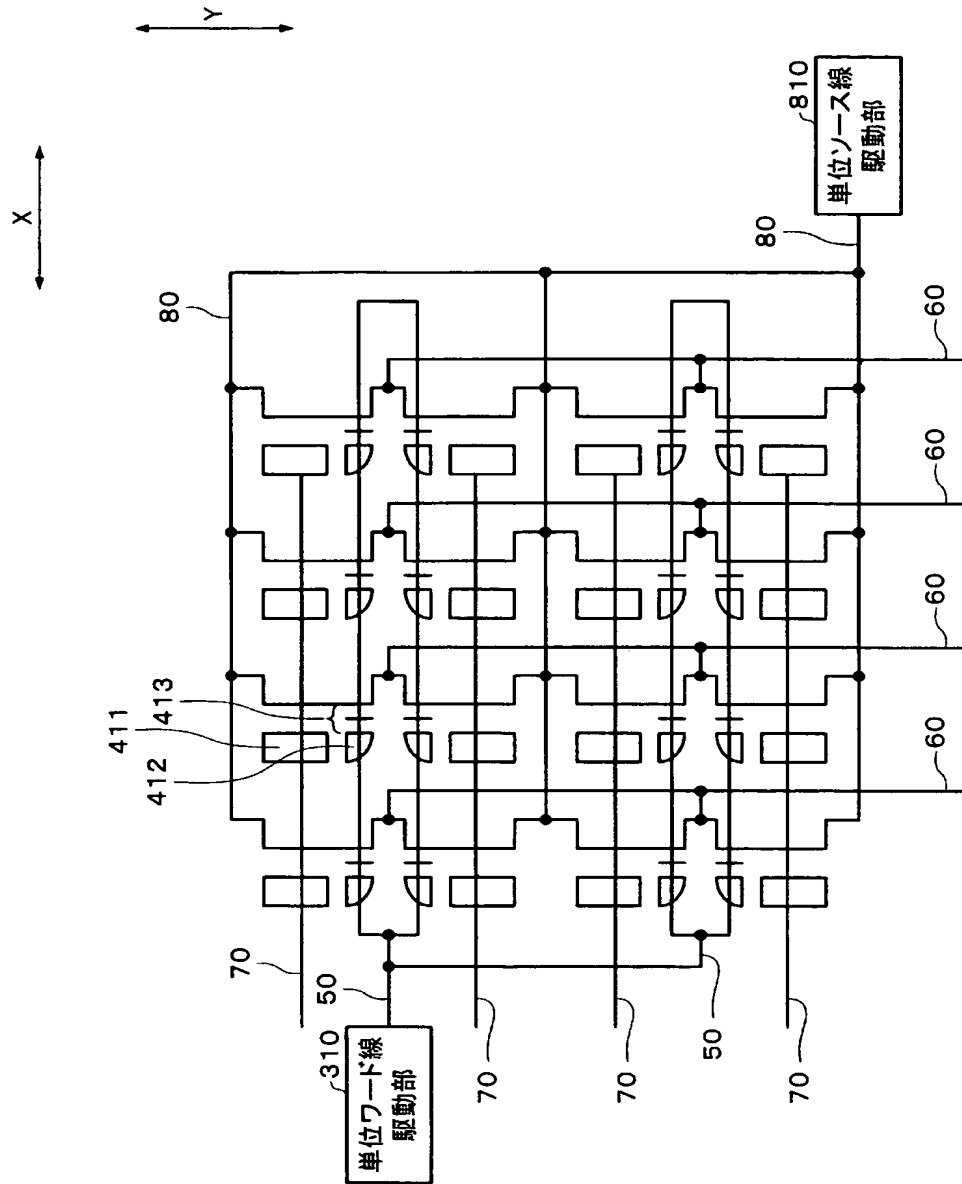
【図 16】



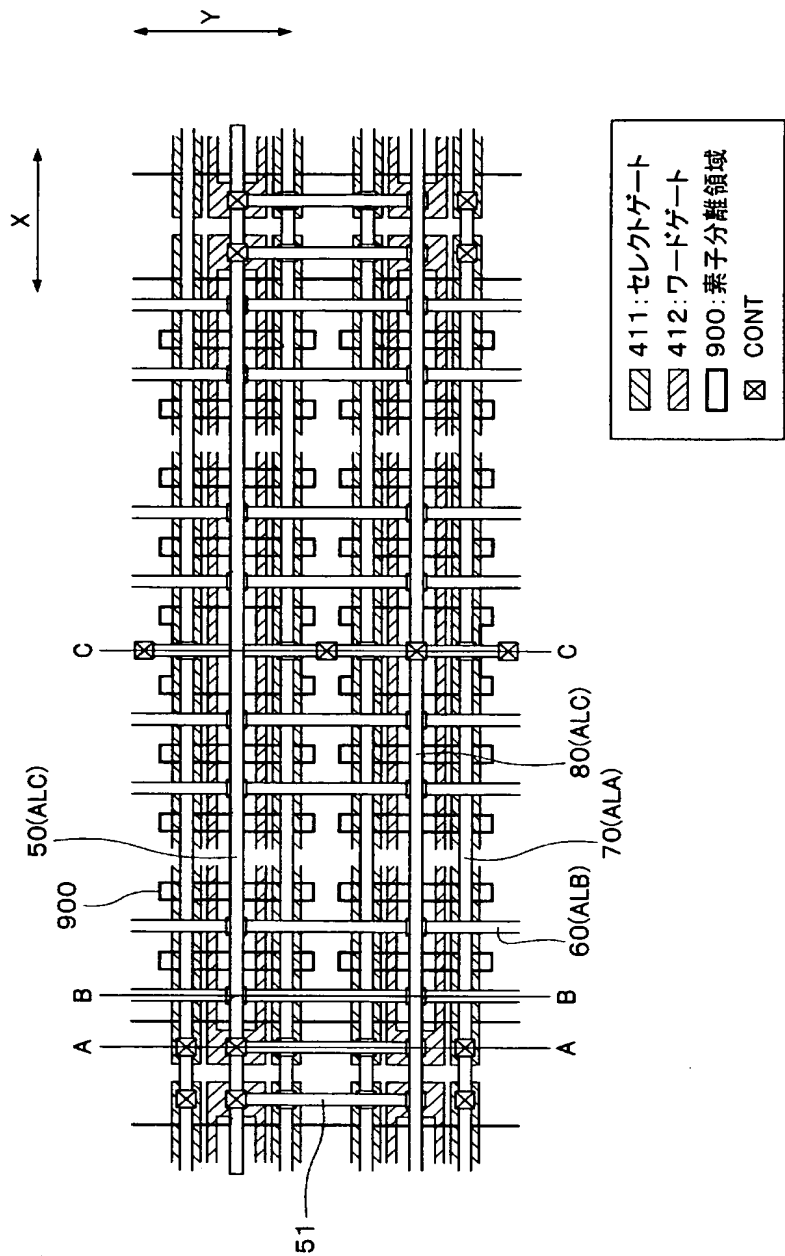
【図 17】



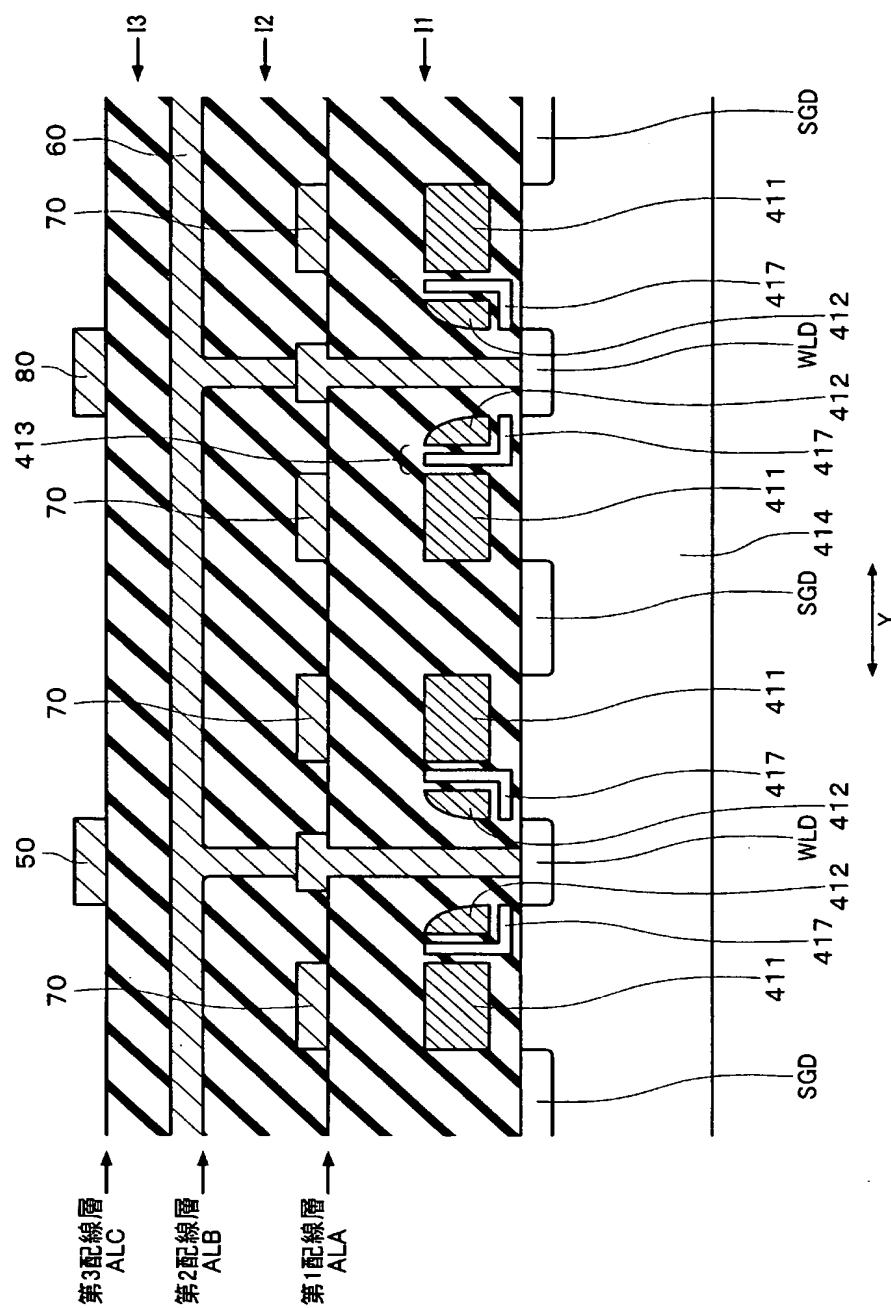
【図 18】



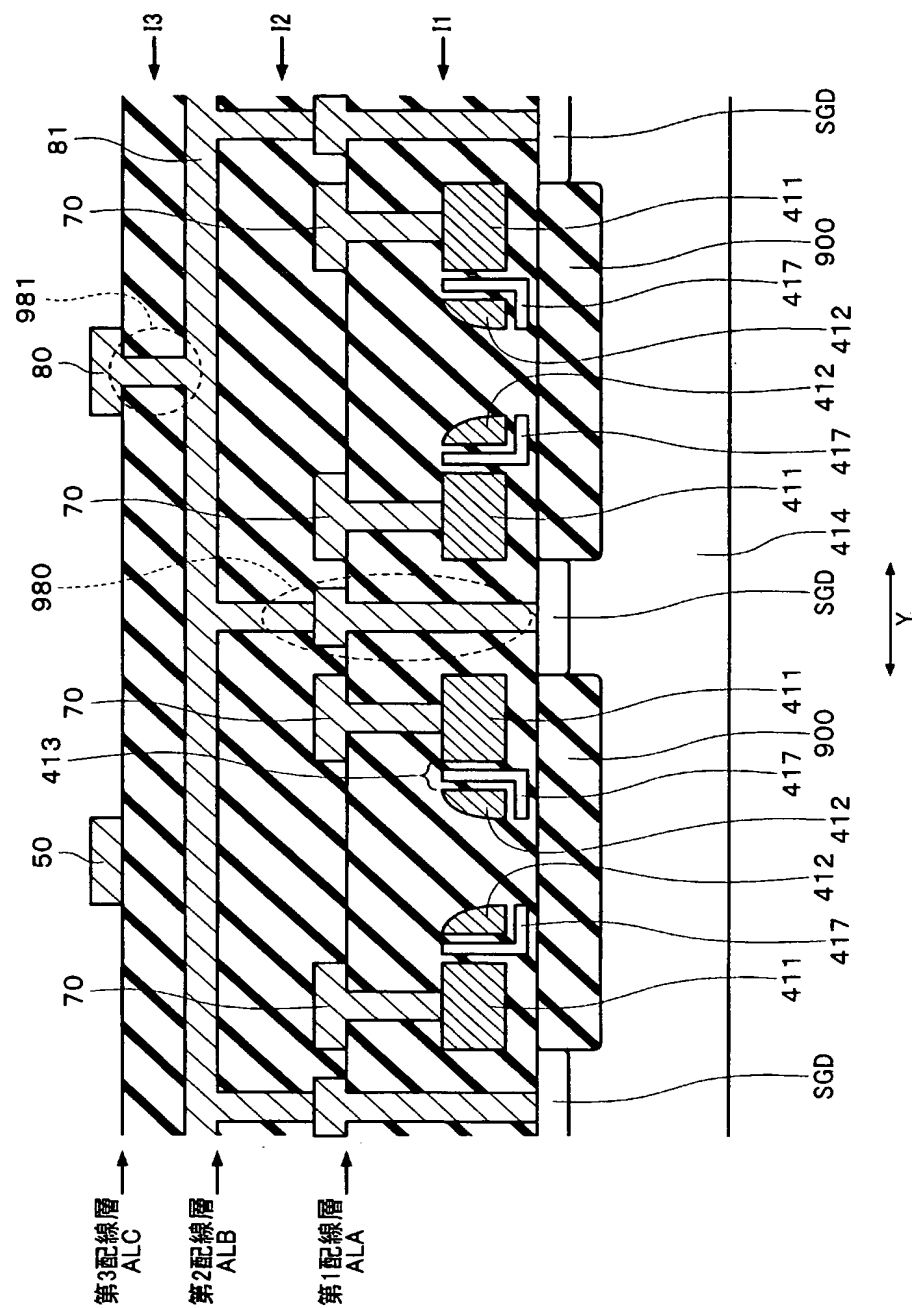
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 レイアウトサイズの小さな不揮発性半導体記憶装置を提供すること。

【解決手段】 行方向及び列方向に複数のメモリセル 4 1 0 が配設されて構成されたメモリセルアレイ 4 0 0 0 を有する。メモリセルアレイ 4 0 0 0 は、複数の素子分離領域 9 0 0 を有し、複数のメモリセル 4 1 0 の各々は、ソース領域と、ドレイン領域と、ソース領域及びドレイン領域間のチャネル領域と、チャネル領域と対向して配置されたセレクトゲート 4 1 1 及びワードゲート 4 1 2 と、ワードゲート 4 1 2 とチャネル領域との間に形成された不揮発性メモリ素子 4 1 3 とを有する。上層の複数のワードゲート 4 1 2 用配線の少なくとも一つと複数のワードゲート 4 1 2 の少なくとも一つとを接続するワード線接続部が、複数の素子分離領域 9 0 0 の少なくとも一つの素子分離領域 9 0 0 上に配置される。

【選択図】 図 1 4



特願 2 0 0 3 - 0 4 4 2 8 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社